

Architectures des micro ordinateurs

DEUST IOSI

© H. TSOUNGUI, sept. 2019

Le PC : Personal Computer (ordinateur personnel)



Formats d'UC



Moyenne tour et Desktop



Ultra haute tour



Slim Desktop

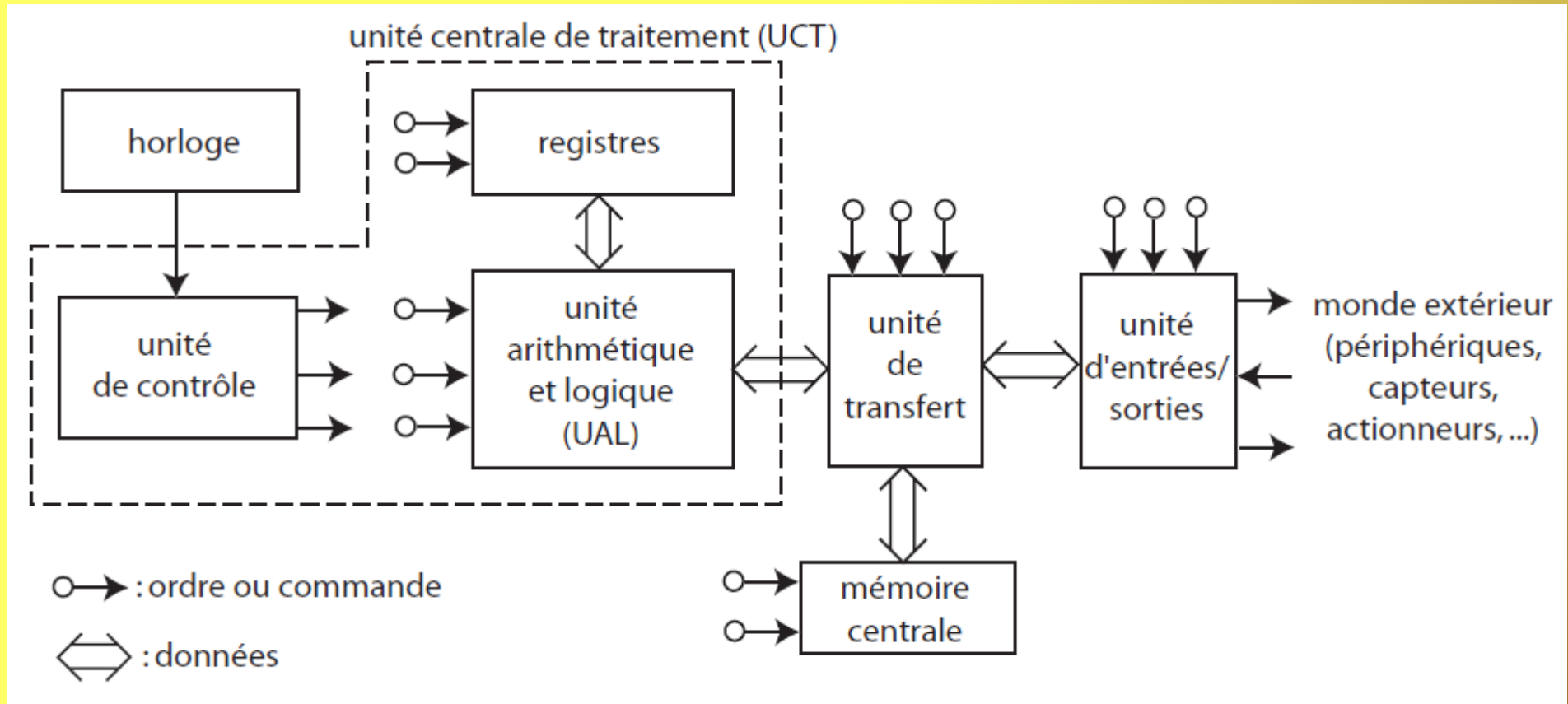


Client Ultra Léger Suse

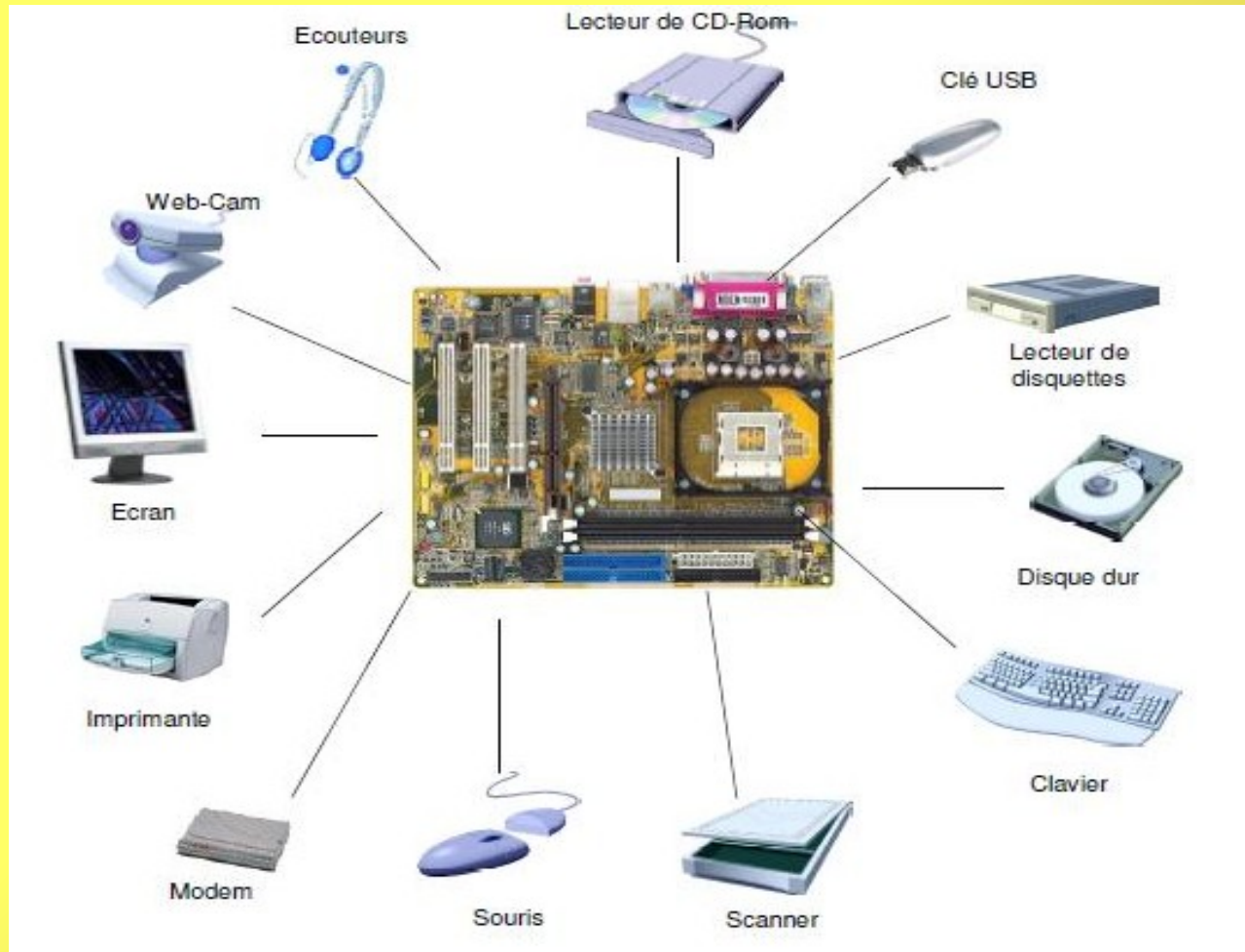


Barebone Desktop

Calculateur de Von Neumann

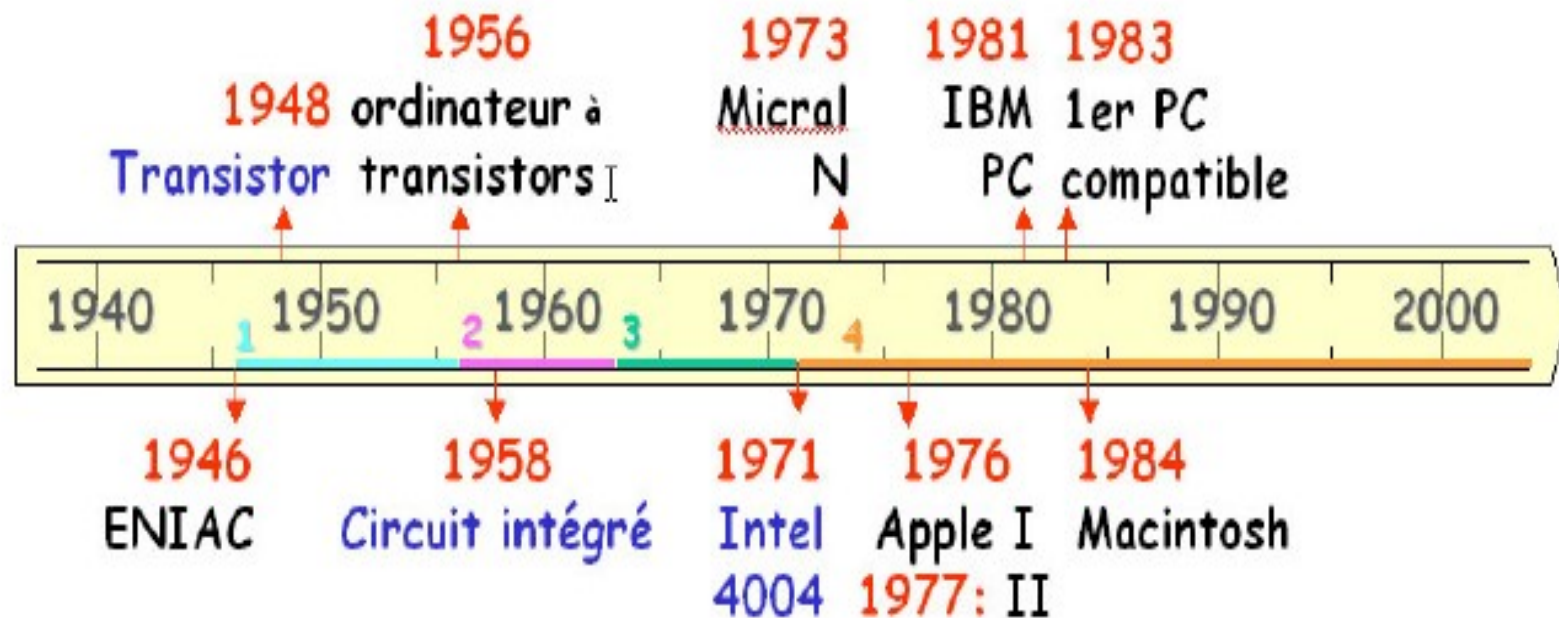


Vue d'ensemble



Une histoire ancienne

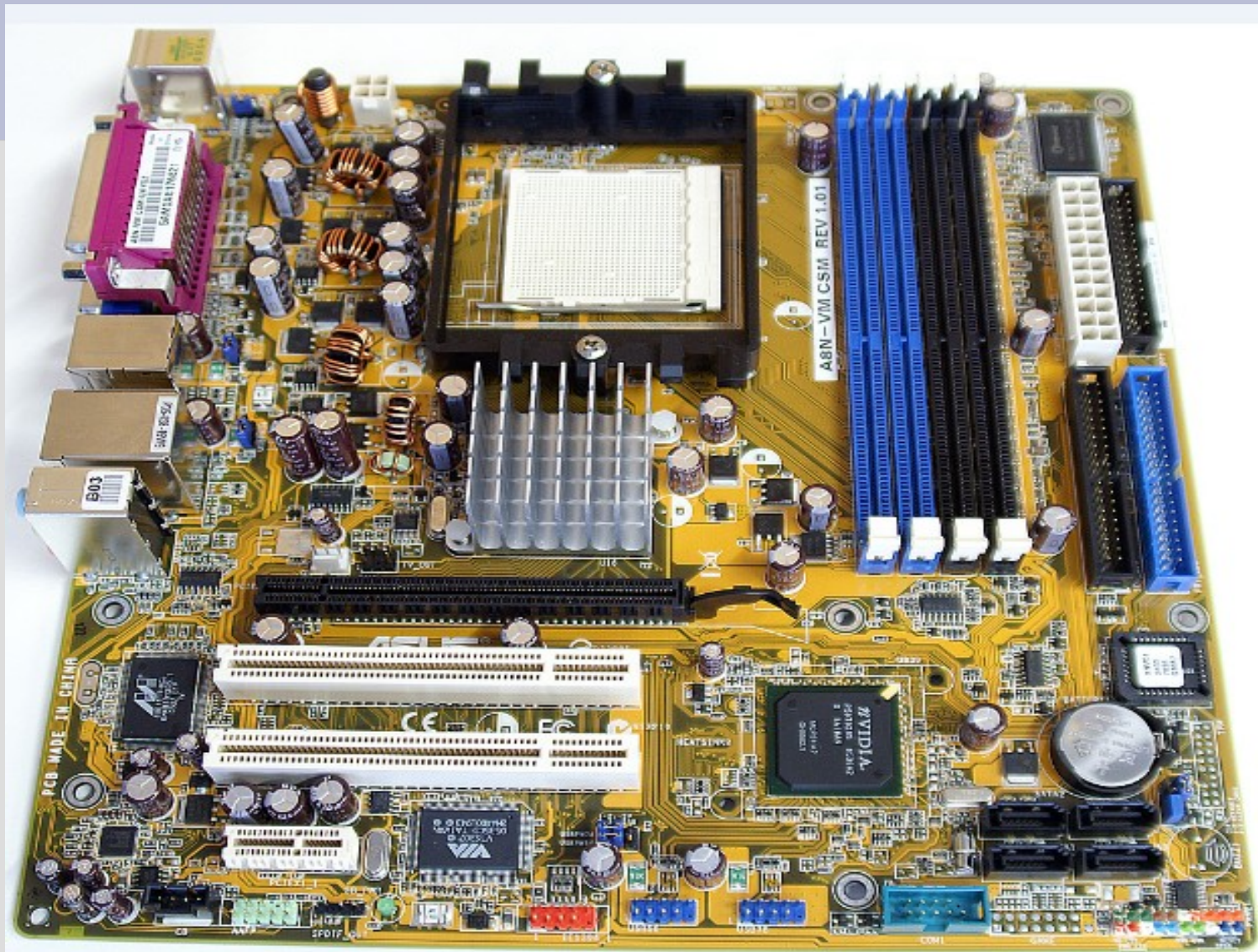
Historique :



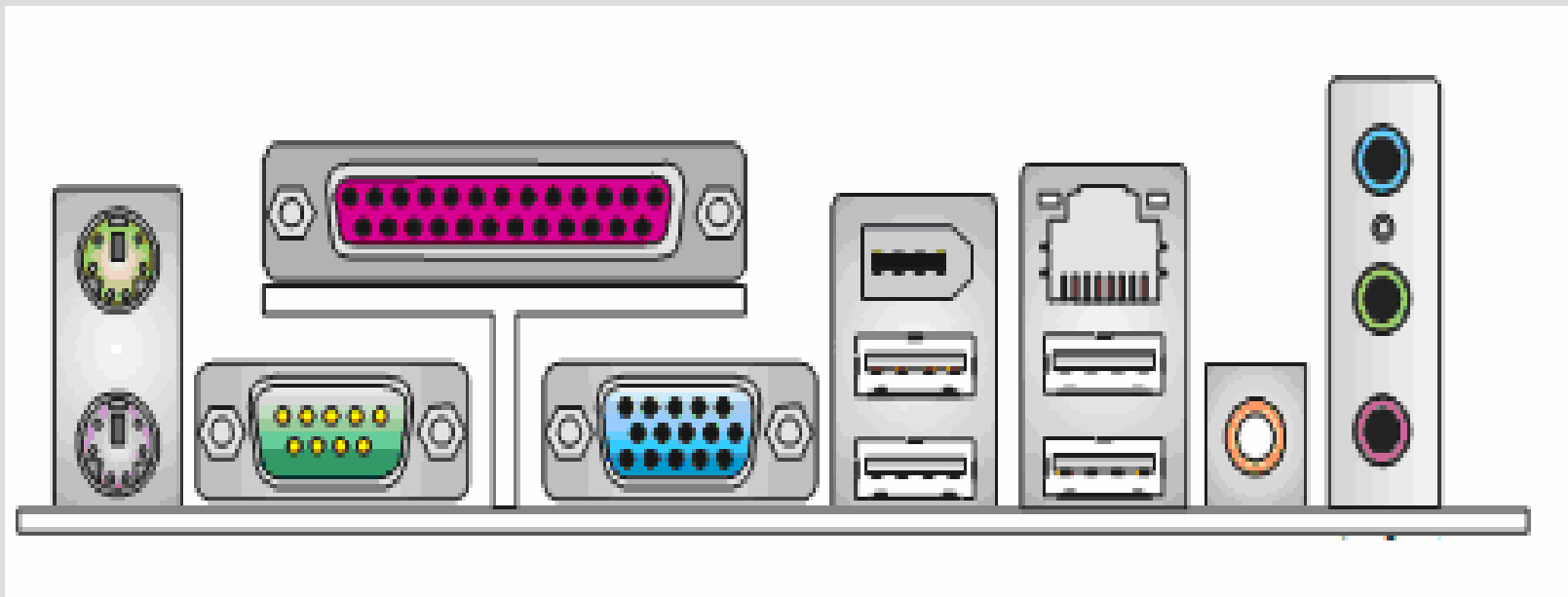
Documentations

<http://montage-schema-electronique.blogspot.fr/2012/02/architecture-des-ordinateurs-3eme.html>

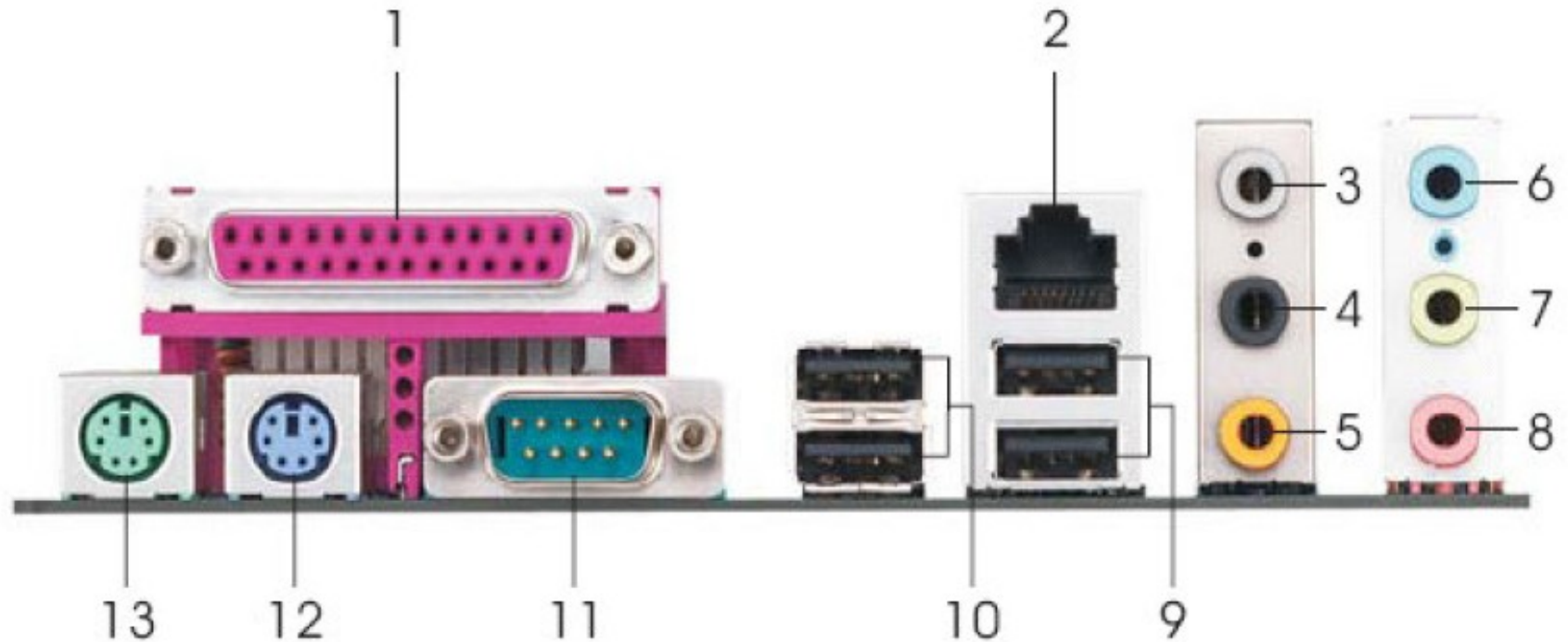
Carte mère (2)



Interfaces d'Entrée/Sortie (E/S)



Interfaces d'Entrée/Sortie



1 Parallel Port

2 RJ-45 Port

3 Side Speaker (Gray)

4 Rear Speaker (Black)

5 Central / Bass (Orange)

6 Line In (Light Blue)

*7 Front Speaker (Lime)

8 Microphone (Pink)

9 USB 2.0 Ports (USB01)

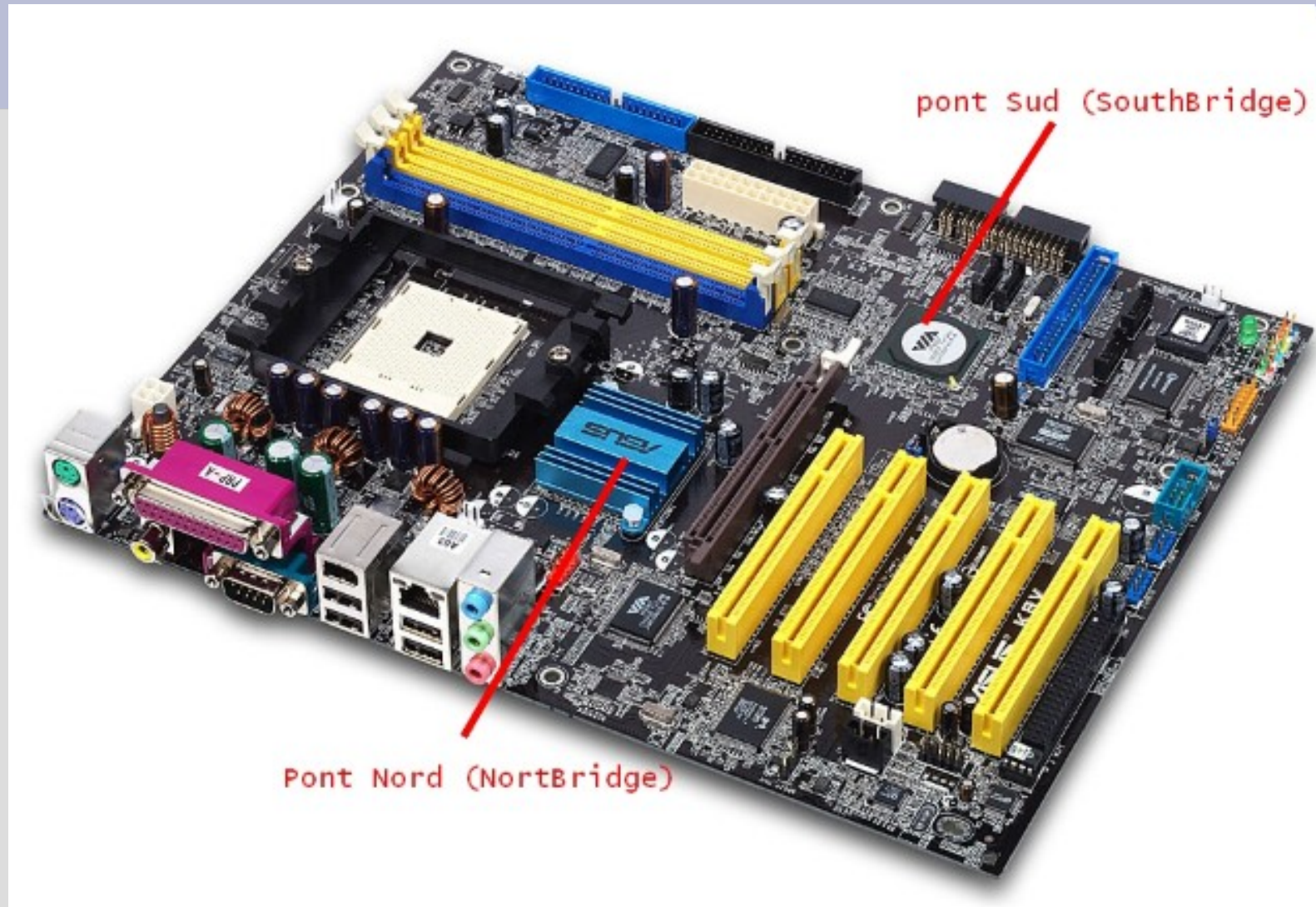
10 USB 2.0 Ports (USB23)

11 Serial Port: COM1

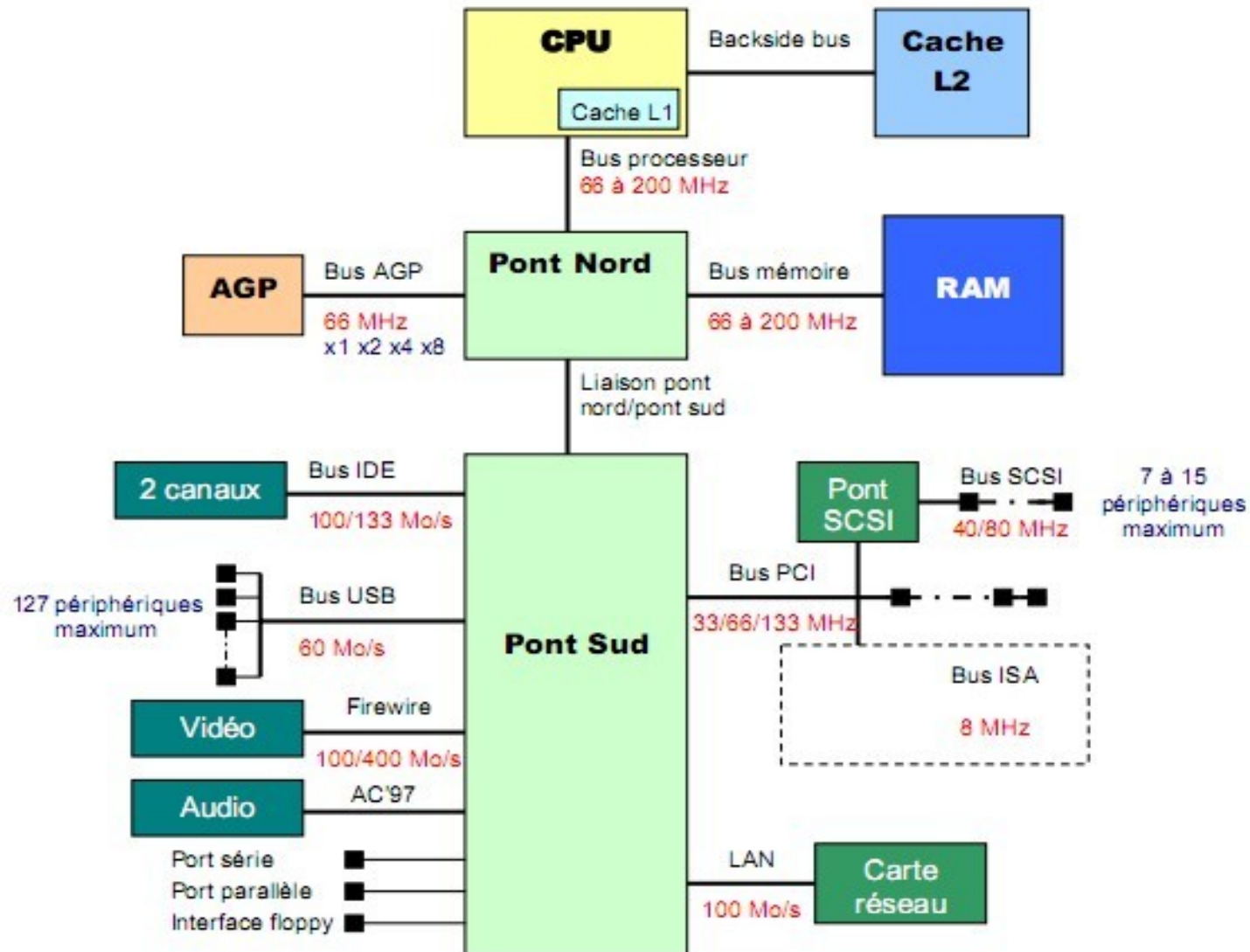
12 PS/2 Keyboard Port (Purple)

13 PS/2 Mouse Port (Green)

Géographie d'une CM



Géographie d'une CM (2)



Etude détaillée des BUS

Definition : un BUS est un **canal de communication**

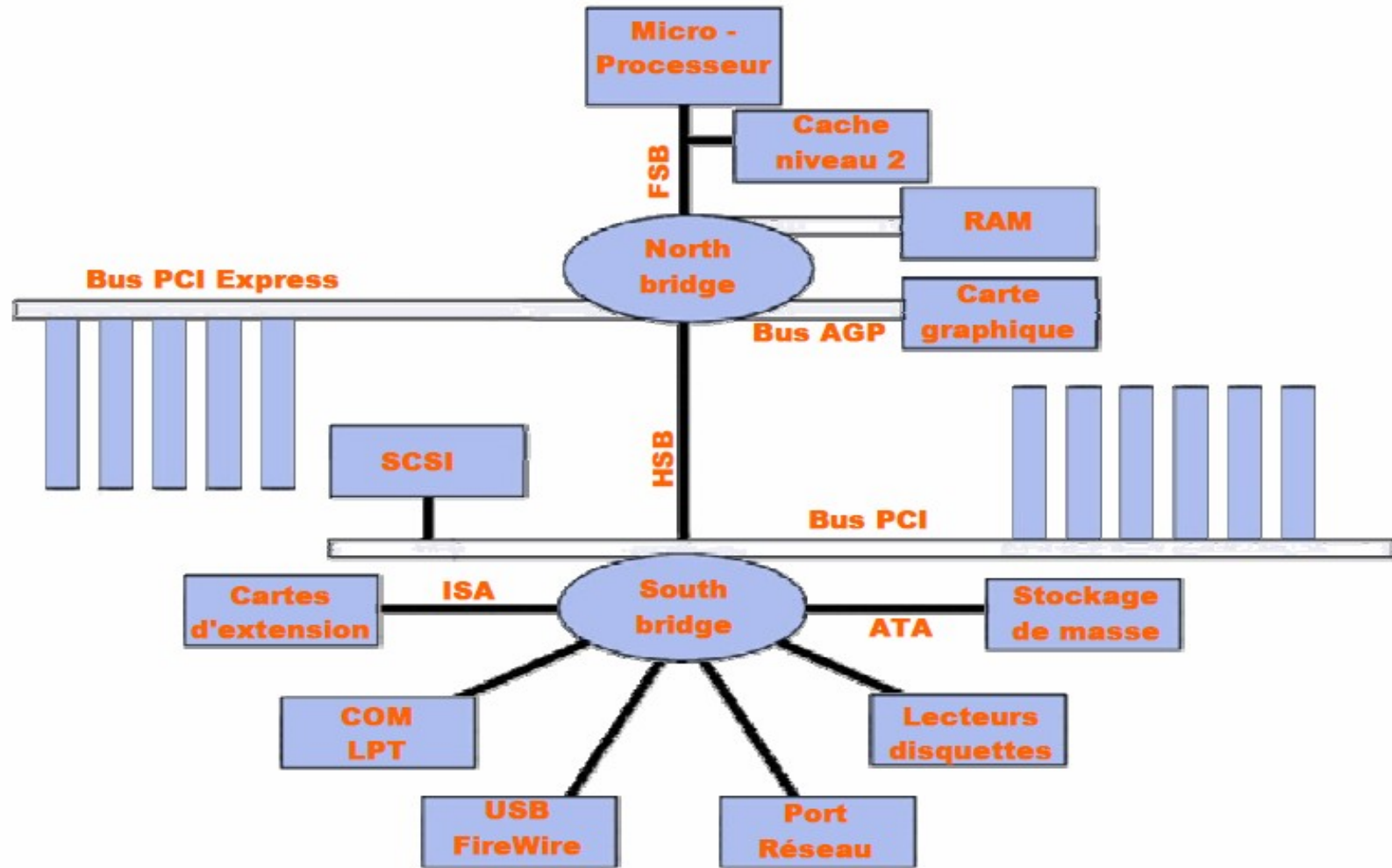
Il permet la circulation des informations/données

Caractéristiques : forme, **taille en bits**, nombre de broches, type de signal véhiculé (train de bits, fréquence, etc).

Différents types de bus

- **un bus de données** : bidirectionnel qui assure le transfert des informations entre le microprocesseur et son environnement, et inversement. Son nombre de lignes est égal à la capacité de traitement du microprocesseur.
- **un bus d'adresses**: unidirectionnel qui permet la sélection des informations à traiter dans un *espace mémoire* (ou *espace adressable*) qui peut avoir 2^n emplacements, avec n = nombre de conducteurs du bus d'adresses.
- **un bus de commande**: constitué par quelques conducteurs qui assurent la synchronisation des flux d'informations sur les bus des données et des adresses.

Bus et ponts(bridges)



Bus du pont Sud(southbridge)

Le SouthBridge permet de contrôle des bus éloignés comme ISA, PCI, ATA, ...
Il est relié au NorthBridge par un bus nommé High Speed Bus ou HSB.

Les bus contrôlés par le SouthBridge.

Ces bus sont dits moins rapides car le SouthBridge et le HSB créent un goulot d'étranglement inévitable.

Toutefois, certains de ces bus sont plus rapides que d'autres. Cela dépend de leurs spécifications et de leur génération.

Le bus ISA.

Le bus ISA (*Industry Standard Architecture*) est apparu en 1981 avec le PC XT, et permettaient de connecter des cartes d'extension externes : carte son, modem, Jusqu'à la fin des années 1990, le bus ISA équipait la quasi-totalité des ordinateurs de type PC, puis il a été progressivement remplacé par le bus PCI, offrant de meilleures performances.

Le bus VLB.

En 1992, le Bus Local VESA (VLB pour *VESA Local Bus*) a été mis au point par l'association *VESA* (*Video Electronics Standard Association* sous l'égide de la société *NEC*), afin de proposer un bus local dédié aux systèmes graphiques. Bus local signifie qu'il est directement relié au FSB.

Le bus local VESA a été utilisé sur des modèles de 486 (40 et 50 MHz), ainsi que sur les tout premiers Pentium, mais il a rapidement été remplacé par le bus PCI.

Bus du pont Sud

Le bus PCI.

Le **bus PCI** (*Peripheral Component Interconnect*) a été mis au point par Intel en 1992.

Contrairement au bus VLB, il ne s'agit pas, à proprement parler, d'un bus local mais d'un bus intermédiaire situé entre le bus

processeur (*NorthBridge*) et le bus d'entrées-sorties (*SouthBridge*).

Le bus PCI possède une largeur de 32 bits et est cadencé à 33 MHz dans sa version originale, ce qui lui permet d'offrir un débit de 132 Mo/s.

Les connecteurs PCI sont généralement présents sur les cartes mères au nombre de 3 ou 4 au minimum et sont en général reconnaissables par leur couleur blanche (normalisée) :

Bus du pont Sud

Le bus PCI.

Le **bus PCI** (*Peripheral Component Interconnect*) a été mis au point par Intel en 1992.

Contrairement au bus VLB, il ne s'agit pas, à proprement parler, d'un bus local mais d'un bus intermédiaire situé entre le bus

processeur (*NorthBridge*) et le bus d'entrées-sorties (*SouthBridge*).

Le bus PCI possède une largeur de 32 bits et est cadencé à 33 MHz dans sa version originale, ce qui lui permet d'offrir un débit de 132 Mo/s.

Les connecteurs PCI sont généralement présents sur les cartes mères au nombre de 3 ou 4 au minimum et sont en général reconnaissables par leur couleur blanche (normalisée) :

Bus du pont Nord(northbridge)

Le bus AGP.

Le bus **AGP** (sigle de *Accelerated Graphics Port*, soit littéralement *port graphique accéléré*) est apparu en mai 1997.

La version 1.0 du bus AGP, travaillant à une tension de 3.3 V, propose un mode 1X permettant d'envoyer 8 octets tous les deux cycles ainsi qu'un mode 2X permettant le transfert de 8 octets par cycle.

En 1998, la version 2.0 du bus AGP a apporté un mode AGP 4X permettant l'envoi de 16 octets par cycle.

La version 2.0 du bus AGP est alimentée pas une tension de 1.5 V.

La version 3.0 du bus AGP, apparue en 2002, a permis de doubler la bande passante de l'AGP 2.0 en proposant un mode AGP 8x.

Les débits des différentes normes AGP sont les suivants :

AGP 1X : $66,66 \text{ MHz} \times 1(\text{coef.}) \times 32 \text{ bits} \Rightarrow 266.67 \text{ Mo/s}$

AGP 2X : $66,66 \text{ MHz} \times 2(\text{coef.}) \times 32 \text{ bits} \Rightarrow 533.33 \text{ Mo/s}$

AGP 4X : $66,66 \text{ MHz} \times 4(\text{coef.}) \times 32 \text{ bits} \Rightarrow 1,06 \text{ Go/s}$

AGP 8X : $66,66 \text{ MHz} \times 8(\text{coef.}) \times 32 \text{ bits} \Rightarrow 2,11 \text{ Go/s}$

Il est à noter que les différentes normes AGP conservent une compatibilité descendante, c'est-à-dire qu'un emplacement AGP 8X peut accueillir des cartes AGP 4X ou AGP 2X.

Bus du pont Nord

Le bus AGP.

Le bus **AGP** (sigle de *Accelerated Graphics Port*, soit littéralement *port graphique accéléré*) est apparu en mai 1997.

La version 1.0 du bus AGP, travaillant à une tension de 3.3 V, propose un mode 1X permettant d'envoyer 8 octets tous les deux cycles ainsi qu'un mode 2X permettant le transfert de 8 octets par cycle.

En 1998, la version 2.0 du bus AGP a apporté un mode AGP 4X permettant l'envoi de 16 octets par cycle.

La version 2.0 du bus AGP est alimentée pas une tension de 1.5 V.

La version 3.0 du bus AGP, apparue en 2002, a permis de doubler la bande passante de l'AGP 2.0 en proposant un mode AGP 8x.

Les débits des différentes normes AGP sont les suivants :

AGP 1X : $66,66 \text{ MHz} \times 1(\text{coef.}) \times 32 \text{ bits} \Rightarrow 266.67 \text{ Mo/s}$

AGP 2X : $66,66 \text{ MHz} \times 2(\text{coef.}) \times 32 \text{ bits} \Rightarrow 533.33 \text{ Mo/s}$

AGP 4X : $66,66 \text{ MHz} \times 4(\text{coef.}) \times 32 \text{ bits} \Rightarrow 1,06 \text{ Go/s}$

AGP 8X : $66,66 \text{ MHz} \times 8(\text{coef.}) \times 32 \text{ bits} \Rightarrow 2,11 \text{ Go/s}$

Il est à noter que les différentes normes AGP conservent une compatibilité descendante, c'est-à-dire qu'un emplacement AGP 8X peut accueillir des cartes AGP 4X ou AGP 2X.

Canaux de transmission

Paires torsadées

Câble coaxial

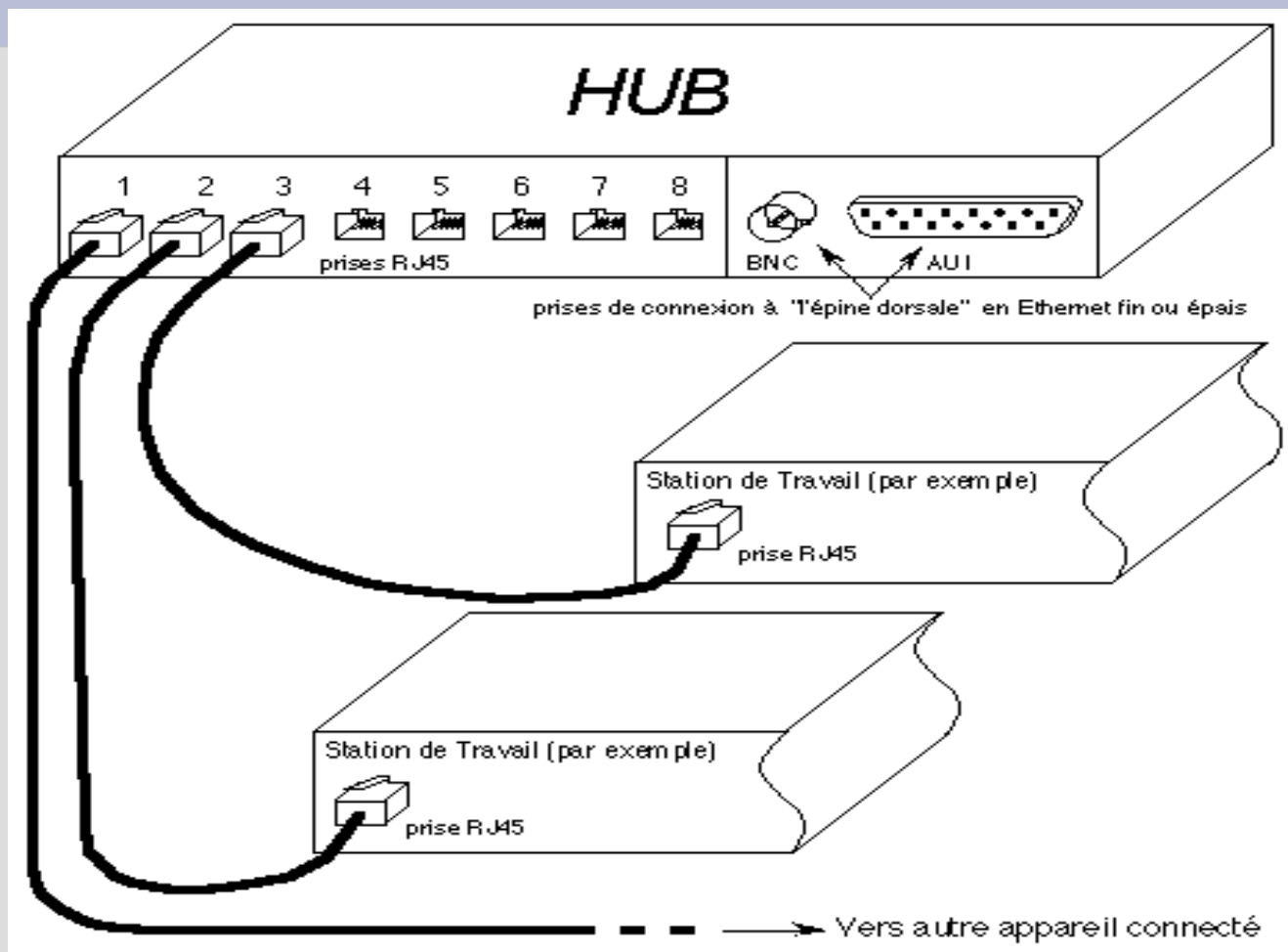
Fibre optique

Technologie Ethernet XBaseY

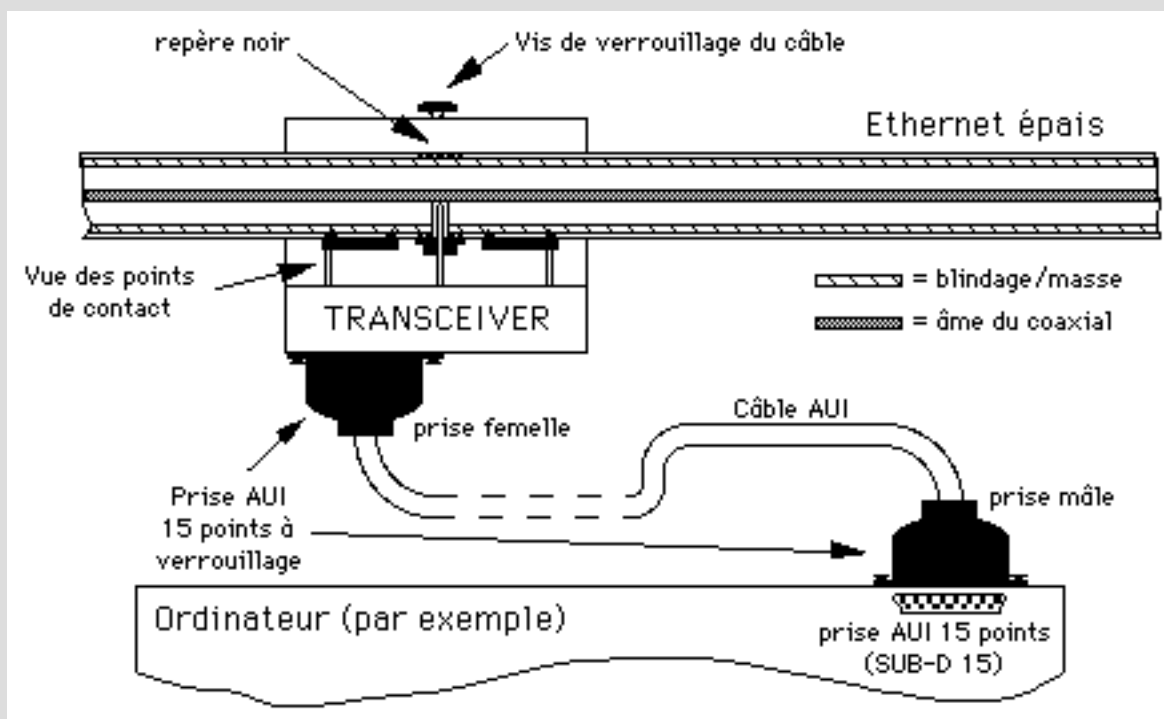
La notation X Base Y

- 1) 10/100/1000 Base T : paires torsadées + RJ45
- 2) 10 Base 2 : coaxial fin + BNC
- 3) 10 Base 5 : coaxial épais + AUI + Transceiver

Ethernet 10 Base T



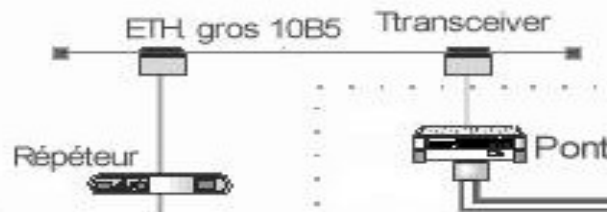
Ethernet 10 Base 5



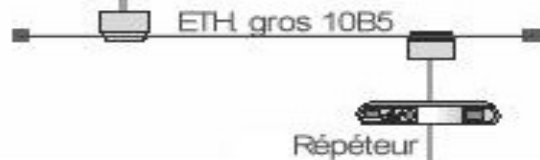
Synthèse Ethernet

Bâtiment 1

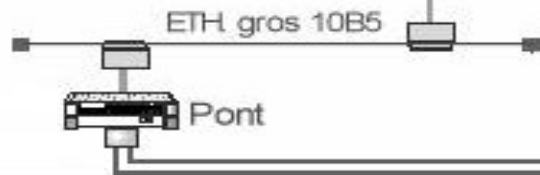
3. Etage



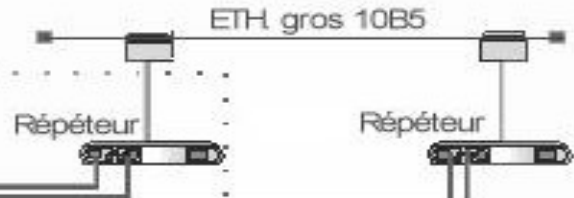
2. Etage



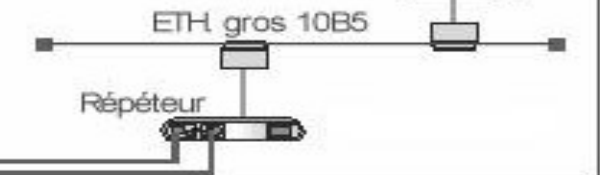
1. Etage



Bâtiment 2



Bâtiment 3



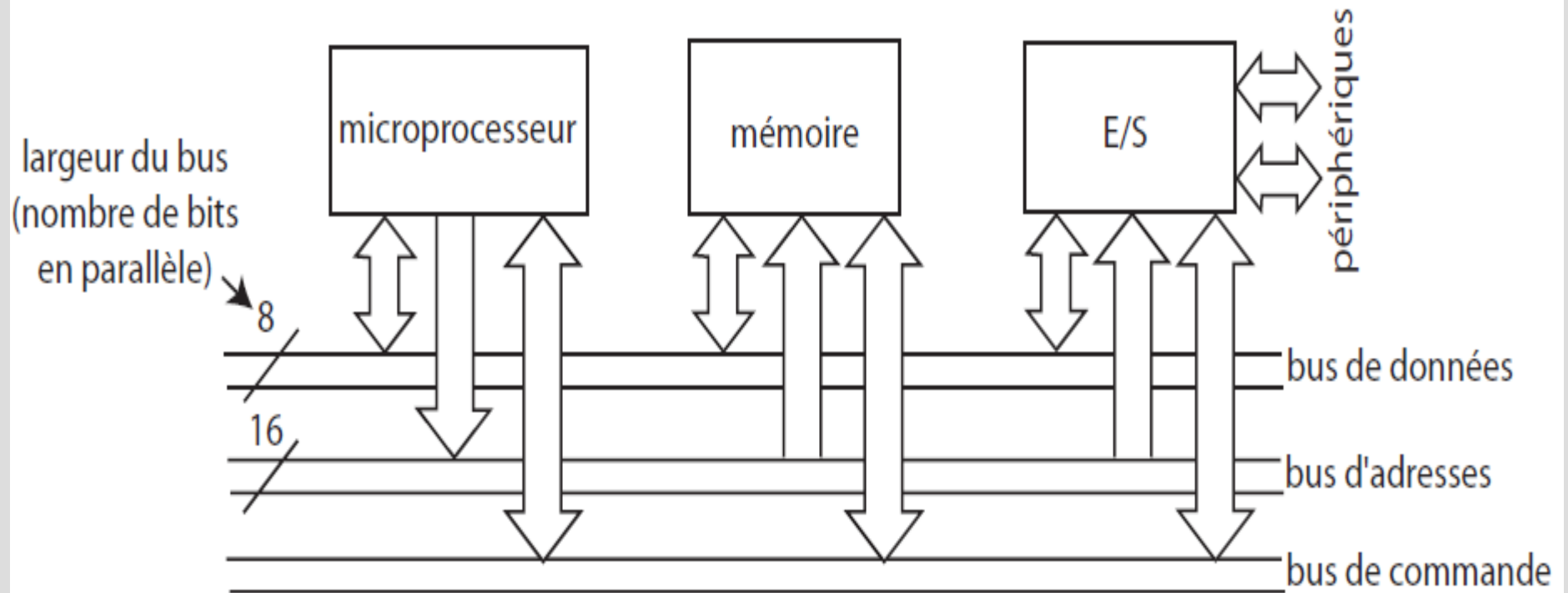
Désactivé après
Spanning Tree
Câble fibre optique

max. 2 km

Câble fibre optique

max. 2 km

Mproc + mémoire + bus + E/S

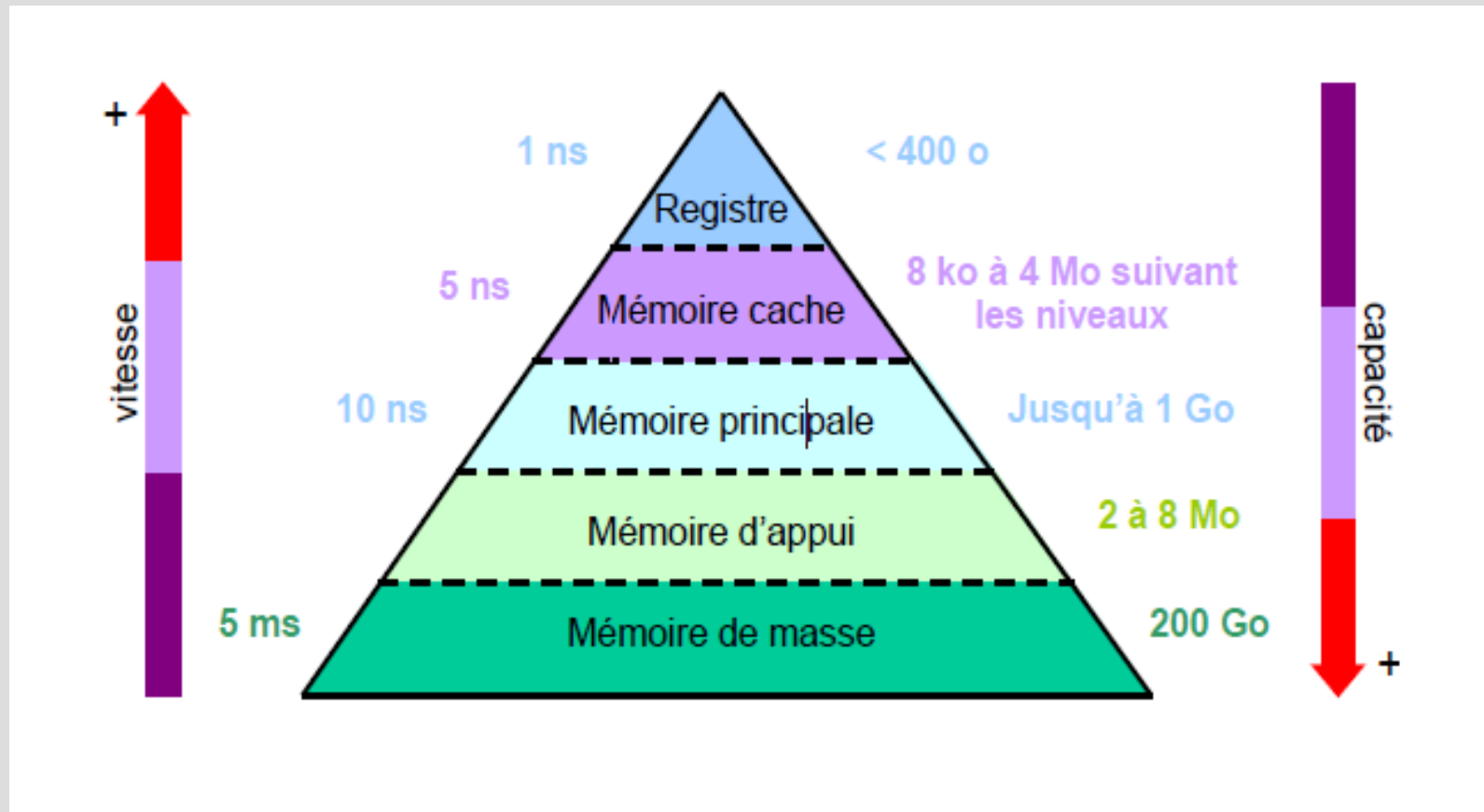


Mémoires d'un ordinateur

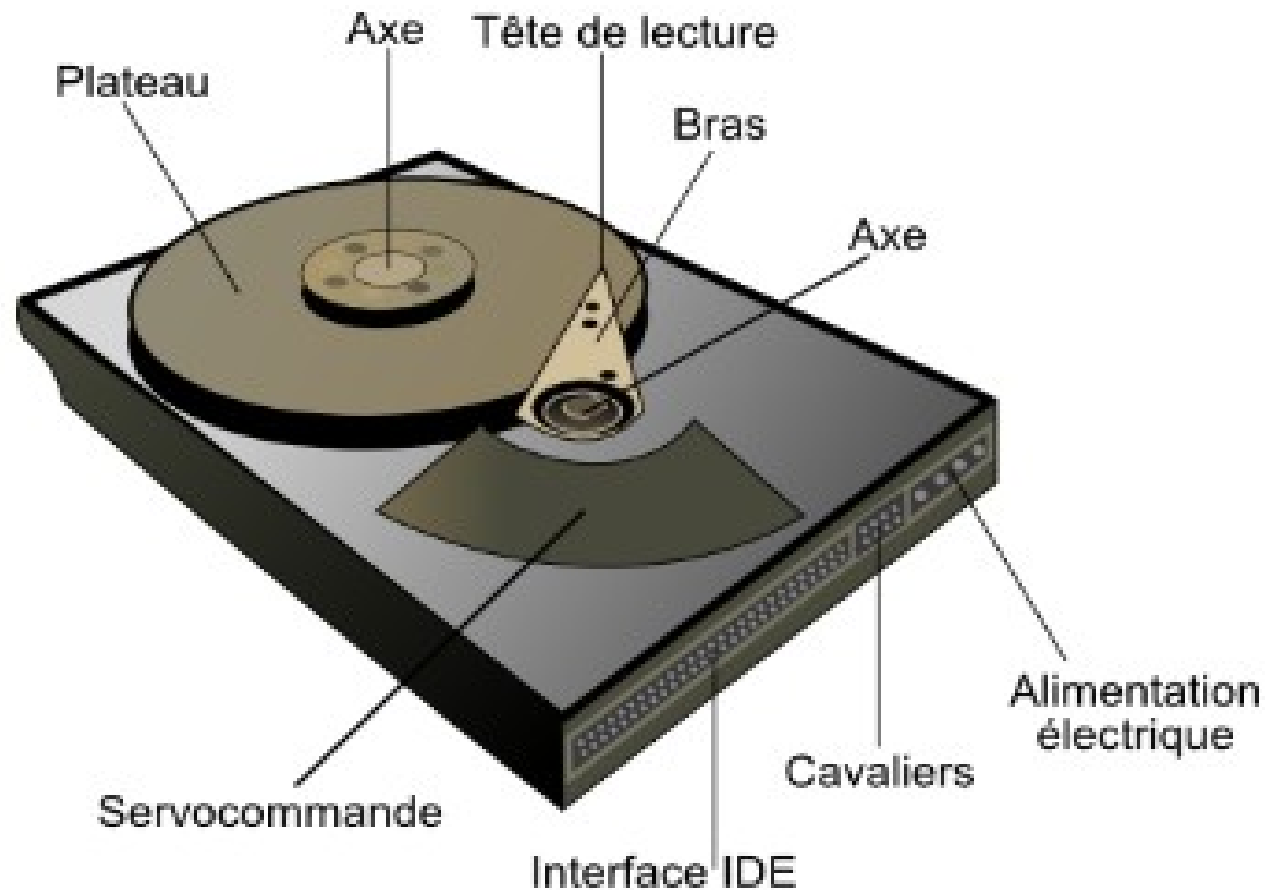
Caractéristiques d'une mémoire

- ▢ **La capacité** : c'est le **nombre total de bits** que contient la mémoire. Elle s'exprime aussi souvent en octet.
- ▢ **Le format des données** : c'est le nombre de bits que l'on peut mémoriser par case mémoire. On dit aussi que c'est la **largeur du mot** mémorisable.
- ▢ **Le temps d'accès** : c'est le temps qui s'écoule entre l'instant où a été lancée une opération de lecture/écriture en mémoire et l'instant où la première information est disponible sur le bus de données.
- ▢ **Le temps de cycle** : il représente l'intervalle minimum qui doit séparer deux demandes successives de lecture ou d'écriture.
- ▢ **Le débit** : c'est le nombre maximum d'informations lues ou écrites par seconde.
- ▢ **Volatilité** : elle caractérise la permanence des informations dans la mémoire. L'information stockée est volatile si elle risque d'être altérée par un défaut d'alimentation électrique et non volatile dans le cas contraire.

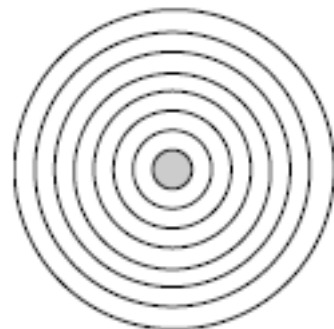
Hiérarchie des mémoires



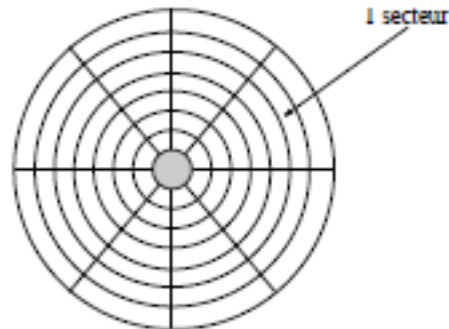
STRUCTURE D'UN DD



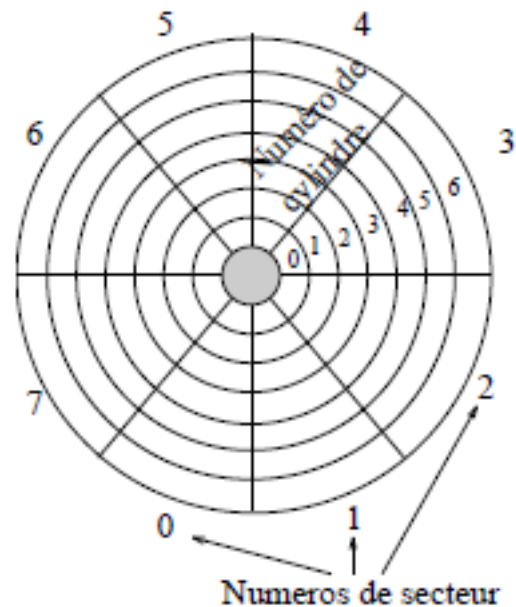
Structure d'un DD



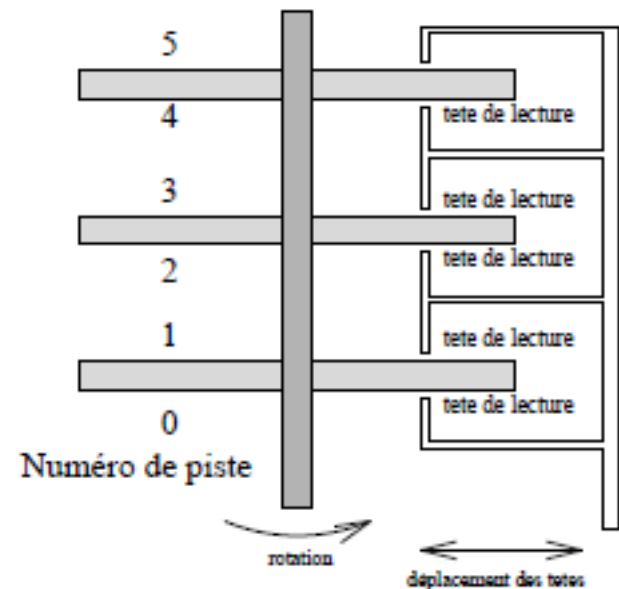
Le disque dur est divisé en pistes
(ici 7 pistes)



Chaque piste est divisée en secteurs
(ici 8 secteurs par piste)



VUE DE DESSUS



VUE DE PROFIL

Câbles et connecteurs DD



Nappe IDE
UDMA 66 (80 brins)

ATA : Advanced Technology Attachment



Stockage avancé RAID

RAID : Redundant Array of Inexpensive Disks
(Grappe de disques peu couteux)

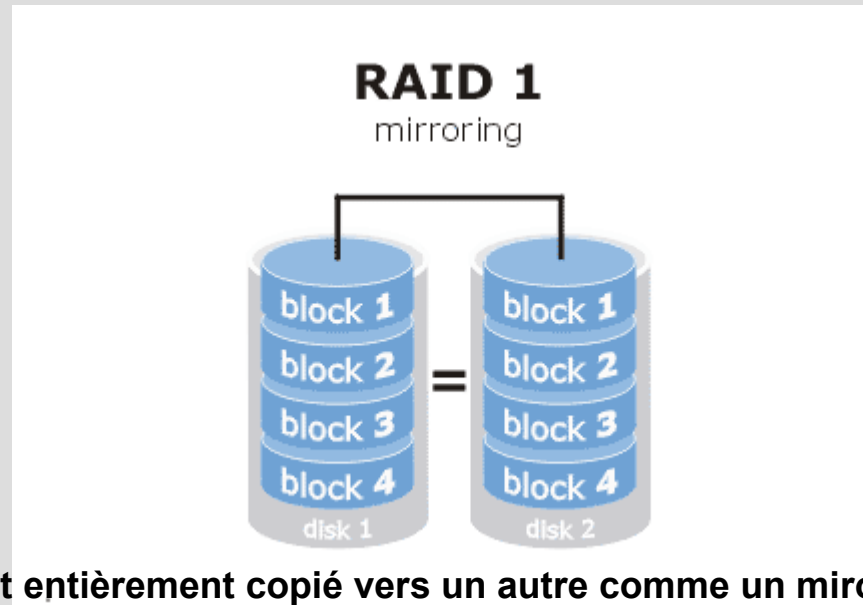
Buts du système RAID

Augmenter la capacité, grâce aux agrégats de partitions qui permettent de créer des partitions s'étendant sur plusieurs disques.

Améliorer les performances, grâce au Striping qui permet de lire et d'écrire sur plusieurs disques simultanément pour en augmenter le débit. (voir RAID 0).

Apporter la tolérance de panne, on se prémunit ainsi contre les défaillances disque.

Types de RAID



le disque dur est entièrement copié vers un autre comme un miroir, ce qui assure de ne pas perdre les données si un HDD crash.

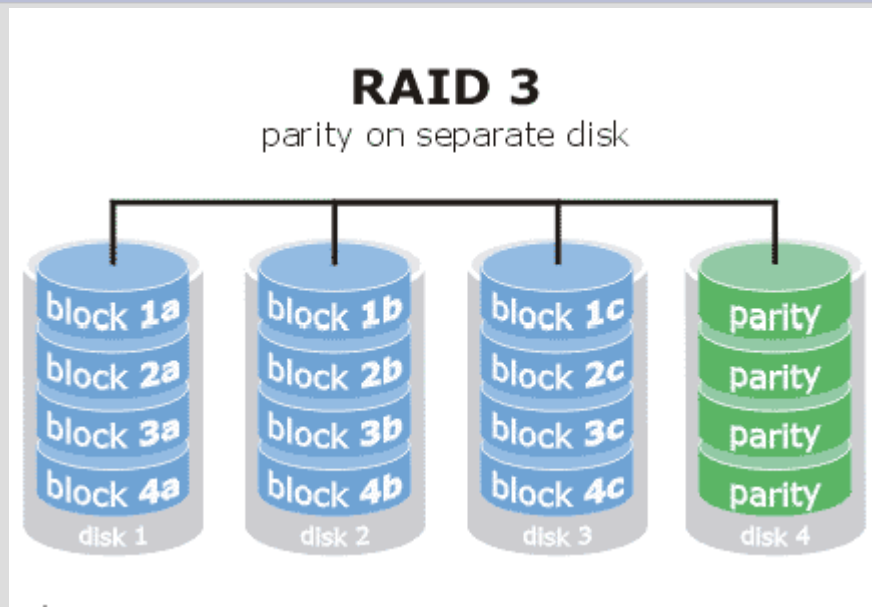
Avantage:

- * Sécurisation des données => doublons des disques

Inconvénient:

- * Redondance des disques donc espace divisé par N disques => perte d'espace
- * Taux de transfert, et la rapidité d'écriture en grande baisse

RAID 3



RAID 3

Ce type de RAID est peu utilisé et pourtant il est très efficace. Ces niveaux de RAID nécessitent une matrice de n disques (avec $n \geq 3$). Les données sont écrites sur les $n-1$ disques et le dernier disque est celui de parité.

La seule différence entre le RAID 3 et 4 est que le 3 travaille par bloc et le 4 par octet.

Avantage:

- * Sécurisation des données grâce au HDD de parité
- * Si 1 HDD meurt (n'importe lequel) il est possible de reconstituer les données

Inconvénient:

- * Utilisation très importante du disque de parité
- * Si 2 disques tombent en panne, toutes les données sont perdues

RAID 3

Ce type de RAID est peu utilisé et pourtant il est très efficace. Ces niveaux de RAID nécessitent une matrice de n disques (avec $n \geq 3$). Les données sont écrites sur les $n-1$ disques et le dernier disque est celui de parité.

La seule différence entre le RAID 3 et 4 est que le 3 travaille par bloc et le 4 par octet.

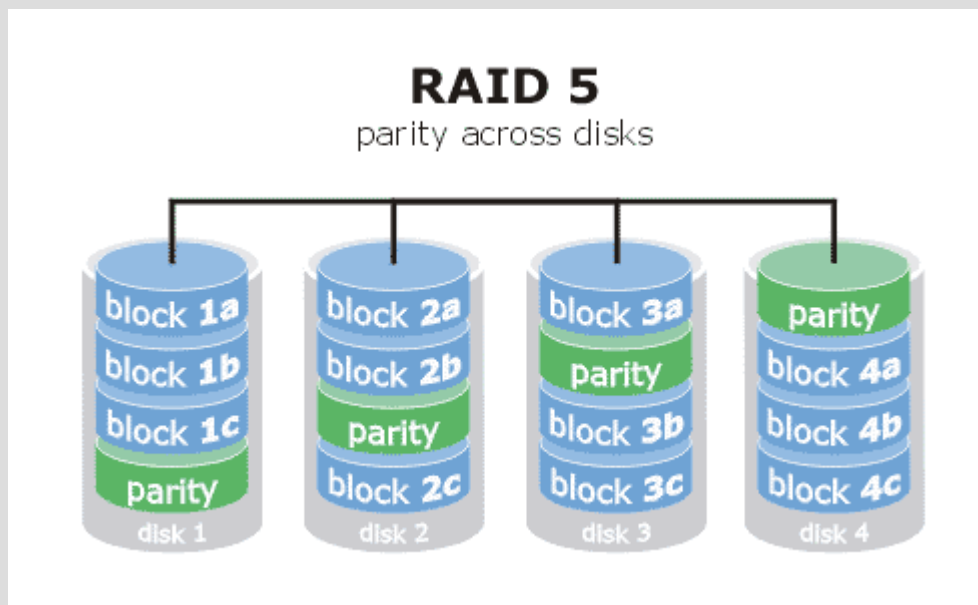
Avantage:

- * Sécurisation des données grâce au HDD de parité
- * Si 1 HDD meurt (n'importe lequel) il est possible de reconstituer les données

Inconvénient:

- * Utilisation très importante du disque de parité
- * Si 2 disques tombent en panne, toutes les données sont perdues

RAID 5



RAID 5

Ce type de RAID segmente les fichiers et les écrit sur les différents disques avec une parité pour chacun. Le RAID 5 combine la méthode du volume agrégé par bandes (striping) à une parité répartie.

Ce système a besoin de 3 HDD minimum et de même taille de préférence.

Avantage:

- * Performances en lecture aussi élevées qu'en RAID 0 (stripping) et sécurité accrue

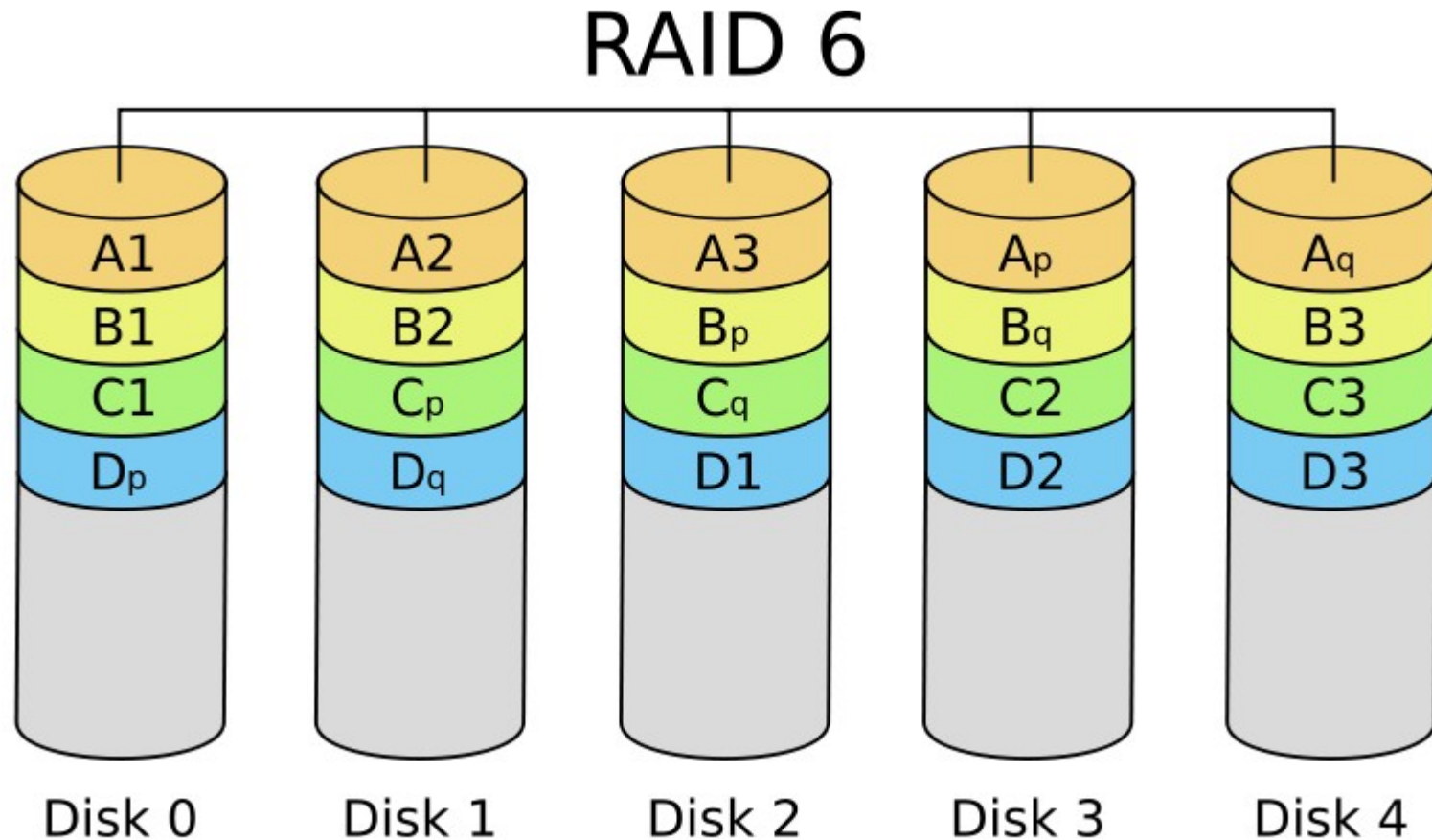
- * surcout minimal (capacité totale de $n-1$ disques sur un total de n disques)

Inconvénient:

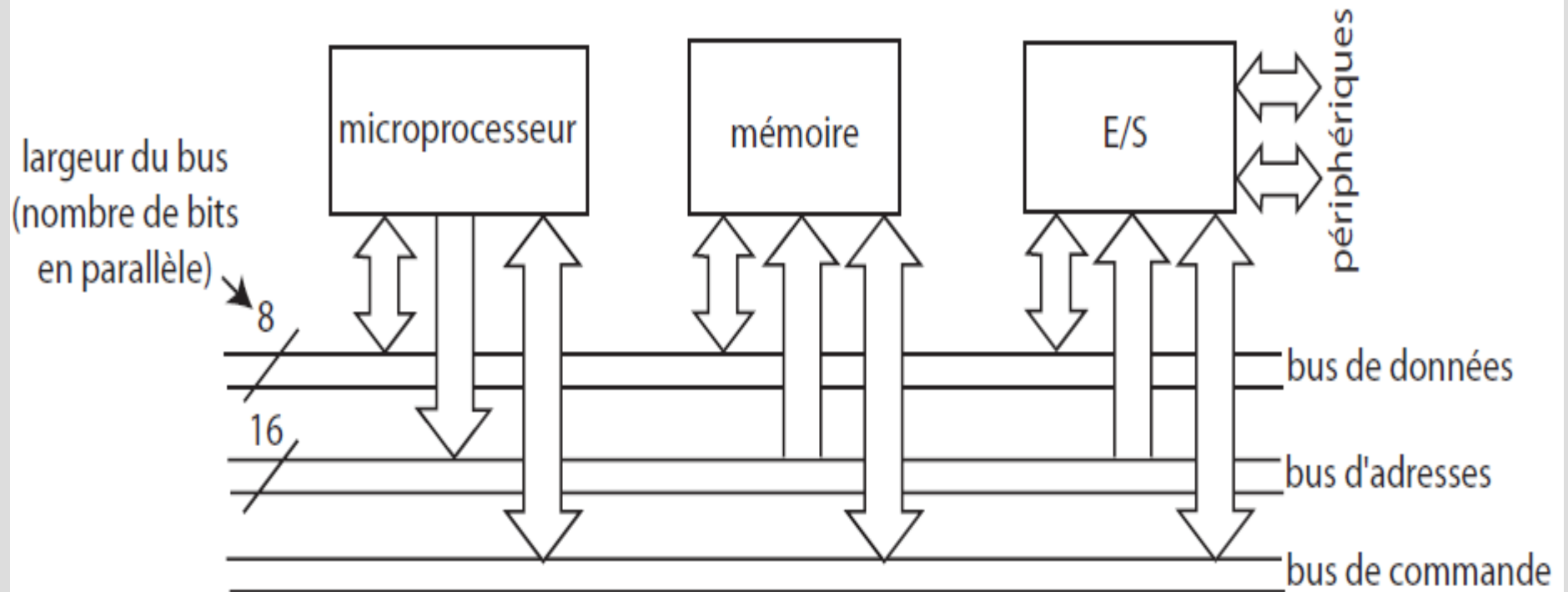
- * Pénalité en écriture du fait du calcul de la parité

- * minimum de 3 disques

Autres types de RAID : 6,9,10



Les microprocesseurs (CPU)



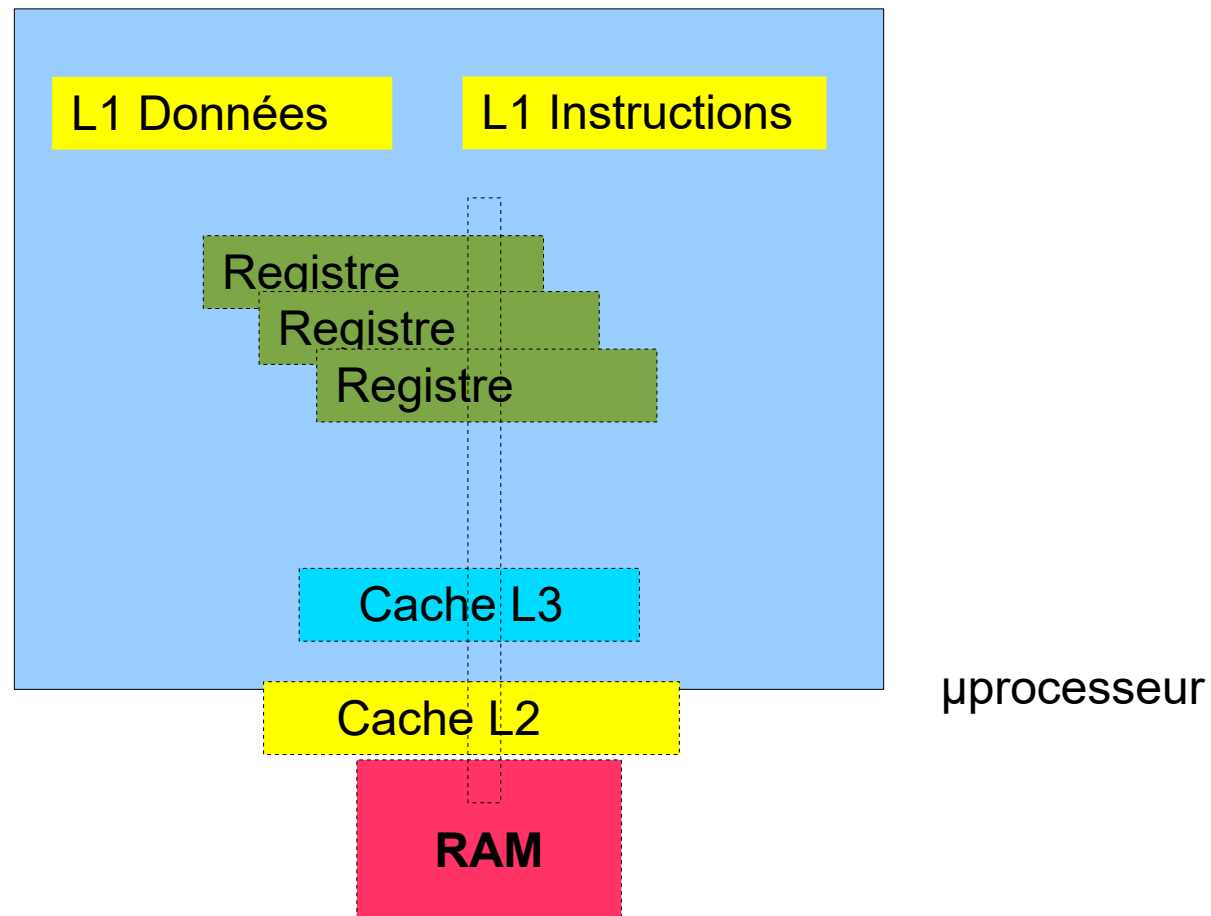
Microprocesseur

Architecture

Un processeur comporte en interne

- une **UAL (unité arithmétique et logique)** qui effectue les calculs commandés par les instructions,
- une **unité de commande** qui contrôle le cycle d'exécution des instructions,
- des **registres accumulateurs** pour présenter au processeur les données (ce sont des mémoires très rapides),
- un **compteur ordinal**, contenant l'adresse mémoire de la prochaine instruction à exécuter,
- des bus** pour le transfert des informations, larges d'un certain nombre de bits,
- des **tampons**, ou **buffers**, pour stocker temporairement les informations,

Mémoires cache



Microprocesseur

-Composition : fabriqué à partir du **silicium** (Si) contenu dans le sable, il comporte un grand nombre de **transistors** (55 millions pour le Pentium 4 d'Intel par exemple)

1979	(8088)	:	8 MHz	=>	29 000 transistors
1997	(MMX)	:	300 MHz	=>	4 500 000 transistors
2002	(P4)	:	2,2 GHz	=>	55 000 000 transistors

-Fonction principale : effectuer les **calculs**

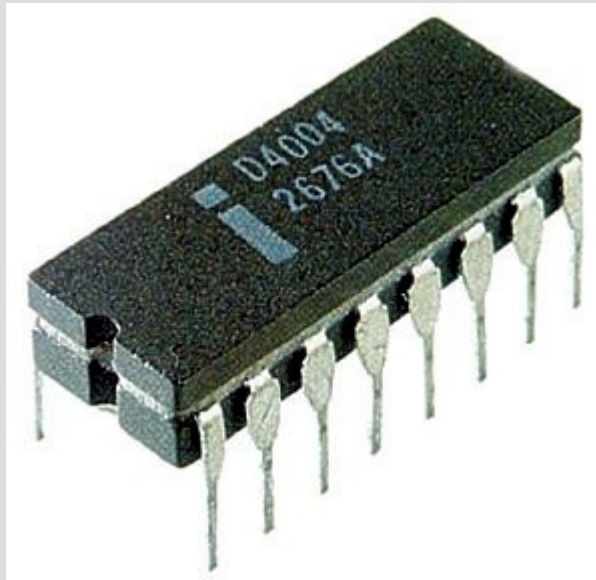
Expression de la puissance intrinsèque

Nombre d'instructions exécutables par unité de temps $F \text{ (Hz)} = 1/T$ (T en secondes)

Par extension, on l'exprime en **millions d'instructions** par seconde (**MIPs**)

Fréquence d'horloge : le processeur « tourne » à une Cadence réglée par un CRISTAL, c'est la **fréquence d'horloge**.

Le transistor, composant de base des microprocesseurs



Un Intel 4004 dans son boîtier à 16 broches, premier microprocesseur commercialisé.

Fonctionnement des microprocesseurs

Les **microprocesseurs sont cadencés** par un **signal d'horloge** (signal oscillant régulier imposant un rythme au transfert entre circuit).

Dans les années 1980, ce signal avait une fréquence de **4 à 8 MHz**.

Dans les années 2000, cette fréquence atteint **3 GHz**.

* Plus cette fréquence est élevée, plus le microprocesseur peut exécuter à un rythme élevé les instructions de base des programmes mais plus la **qualité** des **bus** doit être soignée et leur **longueur** adaptée à la fréquence.

Inconvénients de l'augmentation de la fréquence

- **la dissipation thermique** d'un circuit donné est proportionnelle au carré de sa fréquence de fonctionnement¹⁵ : cela implique d'avoir une solution de refroidissement du processeur adaptée ;

- la fréquence est notamment limitée par les **temps de commutation des portes logiques** : il est nécessaire qu'entre deux « coups d'horloge », les signaux numériques aient eu le temps de parcourir tout le trajet nécessaire à l'exécution de l'instruction attendue

Structure d'un microprocesseur

L'unité centrale d'un microprocesseur comprend essentiellement :

- une **unité arithmétique et logique** (UAL) qui effectue les opérations ;
- des **registres** qui permettent au microprocesseur de stocker temporairement des données et des instructions ;
- une **unité de contrôle** qui commande l'ensemble du microprocesseur en fonction des instructions du programme.

Certains registres ont un rôle très particulier :

le **registre indicateur d'état** (flags), ce registre donne l'état du microprocesseur à tout moment, il peut seulement être lu ;

le **compteur de programme** (PC, Program Counter), il contient l'adresse de la prochaine instruction à exécuter ;

le **pointeur de pile** (SP, Stack Pointer), c'est le pointeur d'une zone spéciale de la mémoire appelée pile où sont rangés les arguments des sous-programmes et les adresses de retour.

Evolution des microprocesseurs

Date	Nom	Transistors	Finesse de gravure	Fréquence d'horloge	Largeur de Bus	MIPS
2000	Pentium 4	42 000 000	180 à 65	1,3 à 3,8 GHz	32 bits/64 bits bus	1 700
2004	Pentium 4 D (Prescott)	125 000 000	90 à 65	2.66 à 3,6 GHz	32 bits/64 bits bus	9 000
2006	Core 2 Duo (Conroe)	291 000 000	65	2,4 GHz (E6600)	64 bits/64 bits bus	22 000
2007	Core 2 Quad (Kentsfield)	2*291 000 000	65	3 GHz (Q6850)	64 bits/64 bits bus	2*22 000 (?)
2008	Core 2 Duo (Wolfdale)	410 000 000	45	3,33 GHz (E8600)	64 bits/64 bits bus	~24 200
2008	Core 2 Quad (Yorkfield)	2*410 000 000	45	3,2 GHz (QX9770)	64 bits/64 bits bus	~2*24 200
2008	Intel Core i7 (Bloomfield)	731 000 000	45	3,33 GHz (Core i7 975X)	64 bits/64 bits bus	?
2009	Intel Core i5/i7 (Lynnfield)	774 000 000	45	3,06 GHz (I7 880)	64 bits/64 bits bus	76 383
2010	Intel Core i7 (Gulftown)	1 170 000 000	32	3,47 GHz (Core i7 990X)	64 bits/64 bits bus	147 600
2011	Intel Core i3/i5/i7 (Sandy Bridge)	1 160 000 000	32	3,5 GHz (Core i7 2700K)	64 bits/64 bits bus	
2011	Intel Core i7/Xeon (Sandy Bridge-E)	2 270 000 000	32	3,5 GHz (Core i7 3970X)	64 bits/64 bits bus	1 ou 2

Date	Nom	Transistors	Finesse de gravure	Fréquence d'horloge	Largeur de Bus	MIPS
2000	Pentium 4	42 000 000	180 à 65	1,3 à 3,8 GHz	32 bits/64 bits bus	1 700
2004	Pentium 4 D (Prescott)	125 000 000	90 à 65	2.66 à 3,6 GHz	32 bits/64 bits bus	9 000
2006	Core 2 Duo (Conroe)	291 000 000	65	2,4 GHz (E6600)	64 bits/64 bits bus	22 000
2007	Core 2 Quad (Kentsfield)	2*291 000 000	65	3 GHz (Q6850)	64 bits/64 bits bus	2*22 000 (?)
2008	Core 2 Duo (Wolfdale)	410 000 000	45	3,33 GHz (E8600)	64 bits/64 bits bus	~24 200
2008	Core 2 Quad (Yorkfield)	2*410 000 000	45	3,2 GHz (QX9770)	64 bits/64 bits bus	~2*24 200
2008	Intel Core i7 (Bloomfield)	731 000 000	45	3,33 GHz (Core i7 975X)	64 bits/64 bits bus	?
2009	Intel Core i5/i7 (Lynnfield)	774 000 000	45	3,06 GHz (I7 880)	64 bits/64 bits bus	76 383
2010	Intel Core i7 (Gulftown)	1 170 000 000	32	3,47 GHz (Core i7 990X)	64 bits/64 bits bus	147 600
2011	Intel Core i3/i5/i7 (Sandy Bridge)	1 160 000 000	32	3,5 GHz (Core i7 2700K)	64 bits/64 bits bus	
2011	Intel Core i7/Xeon (Sandy Bridge-E)	2 270 000 000	32	3,5 GHz (Core i7 3970X)	64 bits/64 bits bus	1 ou 2

Dissipation énergétique

La dissipation de puissance ou dissipation énergétique est le processus dans lequel des unités CPU (Processeurs) consomment de l'énergie électrique, et la dissipent à la fois par l'action de la commutation des circuits contenus dans la CPU (tels que les transistors ou les tubes à vide) et par l'énergie perdue sous forme de chaleur due à l'impédance des circuits électroniques.

Expression de la dissipation :

$$P = k \times V^2 \times f$$

Nombre de transistors i3 et i7

Date	Nom	Nombre de transistors
2011	Intel Core i7/Xeon (Sandy Bridge-E)	2 270 000 000
2012	Intel Core i3/i5/i7 (Ivy Bridge)	1 400 000 000
2013	Intel Core i3/i5/i7 (Haswell)	1 400 000 000
2014	Intel Core i3/i5/i7 (Broadwell)	1 400 000 000



Technologie de la tranche

- Miniaturisation des composants entraîne
 - diminution de l'épaisseur
 - 1982 80286 1,5 microns
 - 1997 P 2 0,28 – 0,25 microns
 - 2002 P 4 0,18 - 0,13 microns
 - Et élévation de température qui nécessite des solutions de *refroidissement*
 - Radiateur, Ventilateur cooler, Nitrogène (Azote) liquide, etc

Les instructions

- Chaque microprocesseur possède un certain nombre d'instructions implantées dans ses circuits, on parle de *jeu d'instructions*.
- On distingue deux grandes familles :
 - RISC : Reduce Instruction Set Computer
ordinateur à jeu d'instructions réduit, toutes les instructions sont de même longueur, sur 32 ou 64 bits par ex.
 - CISC : Complex Instruction Set Computer
ordinateur à jeu d'instructions complexe où les instructions peuvent être de longueur différentes de 8 à 120 bits par ex. C'est le cas des PC x86, c-a-d basés sur les évolutions du 8086 d'Intel.

Architectures multi-processeurs

- Architectures à plusieurs processeurs réels
 - Elles sont dites parallèles et les processus (lourds) y sont *exécutés en parallèle*
- Architectures multi-coeurs
 - Un seul processeur réel et un virtuel => *pseudo-parallélisme* c-a-d qu'on a une exécution comme si l'on disposait de deux microprocesseurs virtuels dans le seul processeur réel. Ex : Core 2 Duo

Carte mère bi-processeurs



Quadri-CPU





Le multi-threading

- Thread : fil d'exécution ou processus « léger » qui n'occupe pas seul toute la mémoire. Il partage cette dernière avec d'autres processus => « time-sharing ».
 - Chaque *thread* (tâche) a « la main » pendant un quantum de temps défini

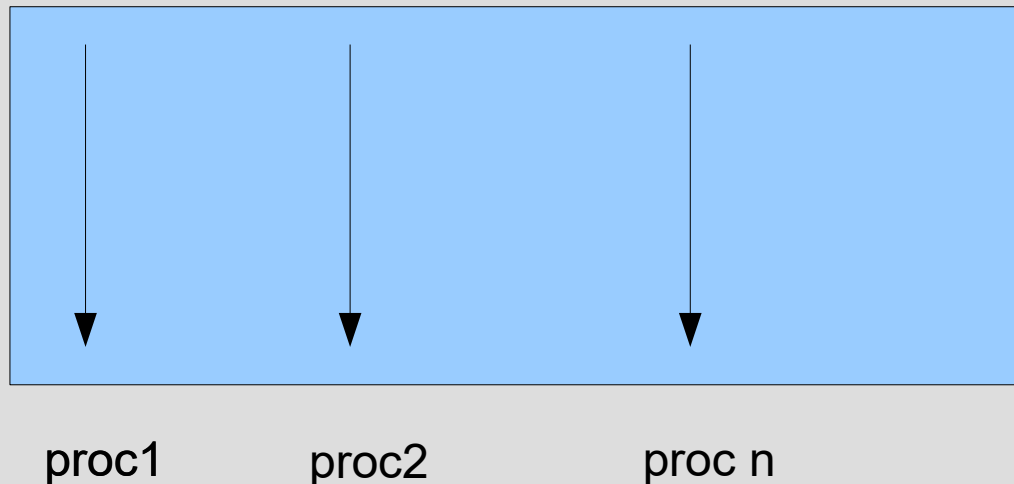


Schéma du partage de la ressource processeur

- **Exécution séquentielle de processus lourds**



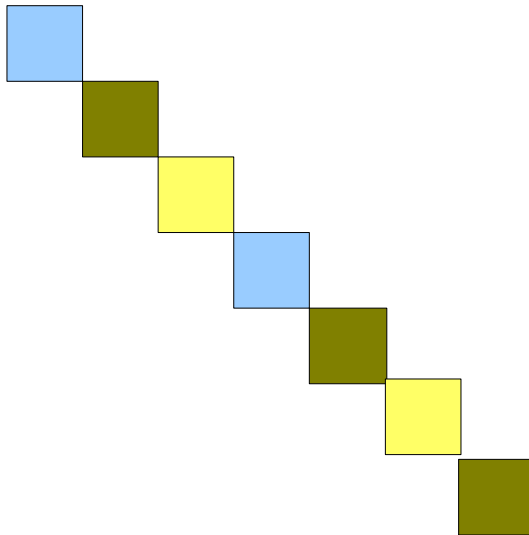
Proc1 : 2

Proc2 : 5

Proc3 : 3

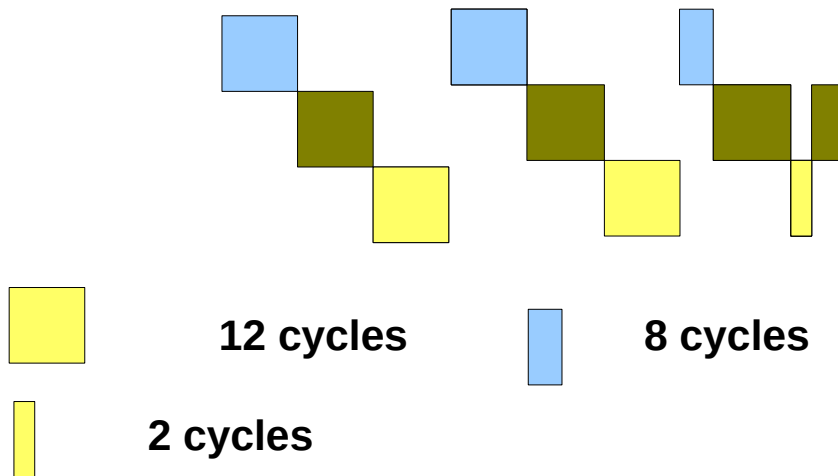
Durées en cycles

- **Exécution alternative par des processus légers (threads)**



Calcul inverse : Détermination des durées des processus au départ

- Exécution alternative par des processus légers (threads)



Architecture Pipeline

Phases d'exécution d'une « instruction »

L'exécution d'une instruction se fait en plusieurs phases :

- IF** (Instruction Fetch) chargement de l'instruction à exécuter dans le pipeline.
- ID** (Instruction Decode) décodage de l'instruction.
- EX** (Execute) exécution proprement dite de l'instruction (par l'UAL).
- MEM** (Memory), sauvegarde vers un registre ou vers la RAM
- WB** (Write Back) sauvegarde du résultat dans un registre.

Architecture Pipeline

Présentation en « étages »

L'exécution d'une instruction peut se faire « par anticipation » : les instructions suivantes sont exécutées avant la fin des précédentes

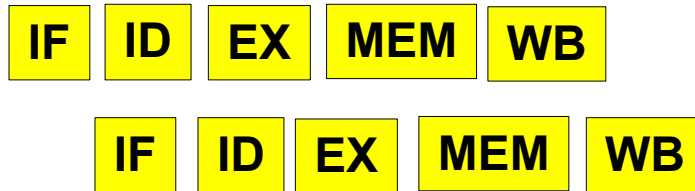


Le passage d'une phase à une autre peut être défini par un temps mort la « latence ». C'est une sorte de passage de témoin entre les différentes phases.

Architecture Pipeline

Présentation en « étages »

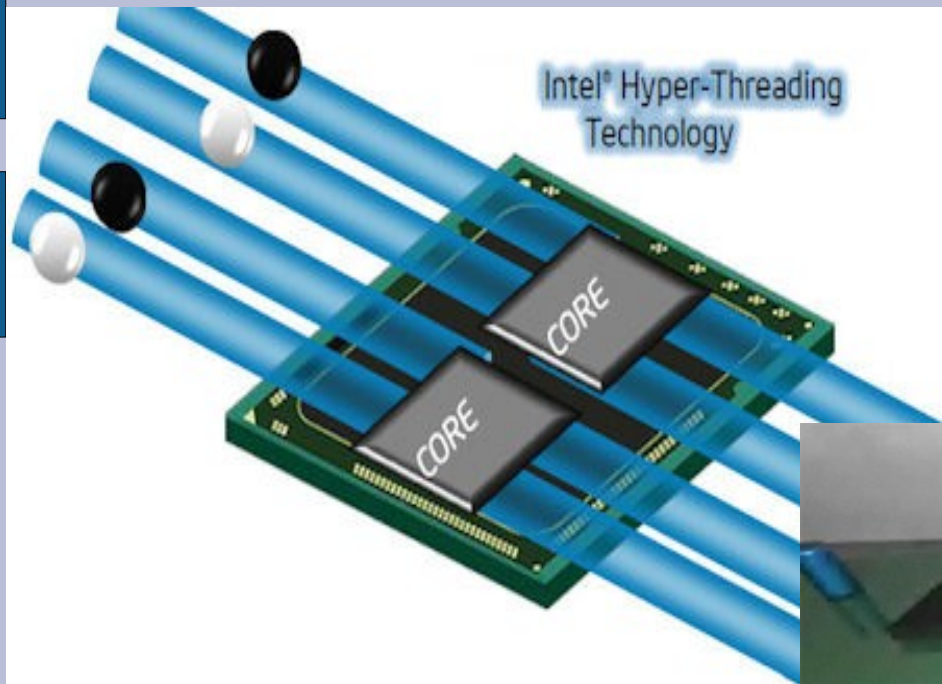
L'exécution d'une instruction peut se faire « par anticipation » : les instructions suivantes sont exécutées avant la fin des précédentes



20, 45 étages ou plus !

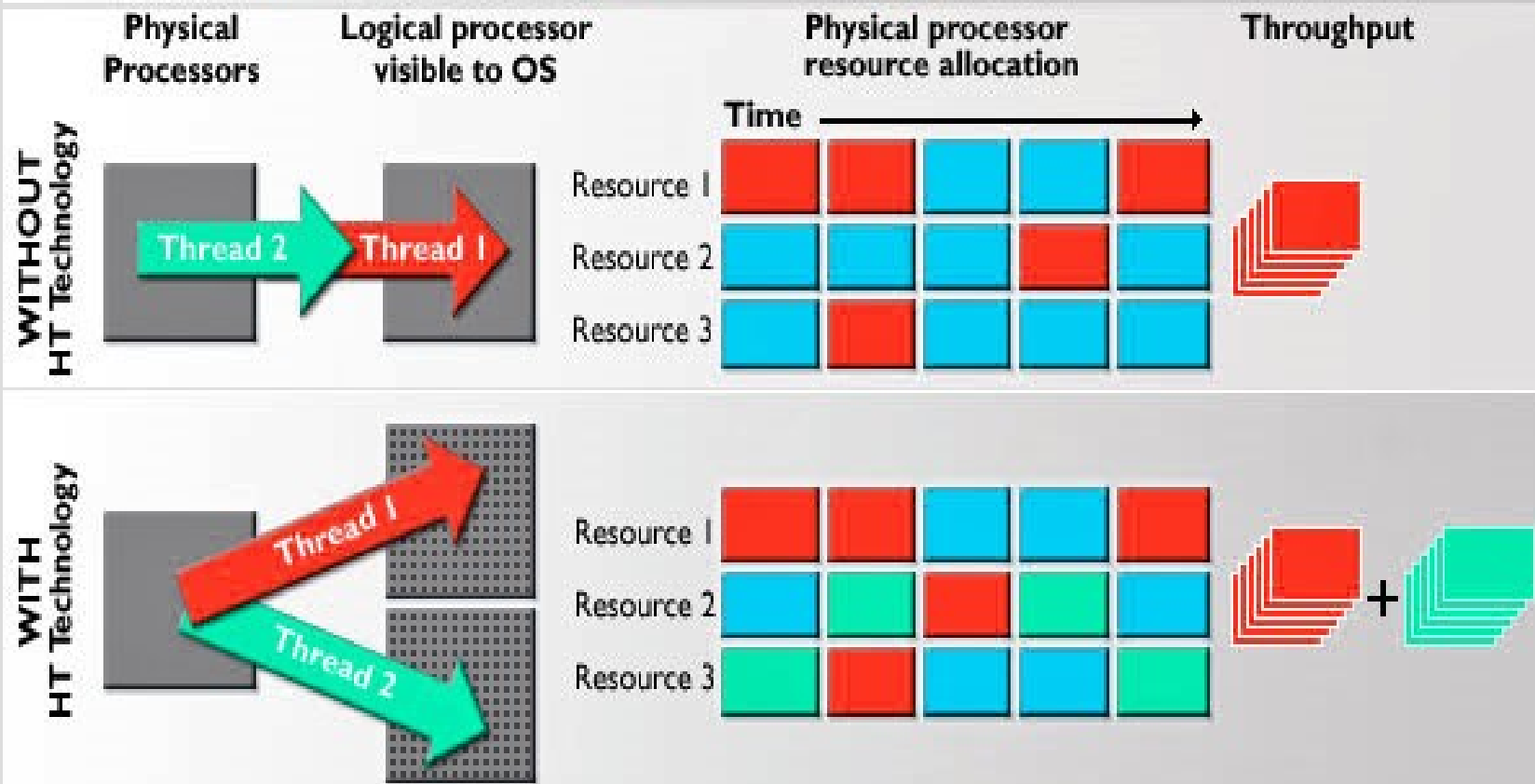
Le nombre d'étages est la longueur du Pipeline

La technologie HTT



Fonctionnement de l'HTT

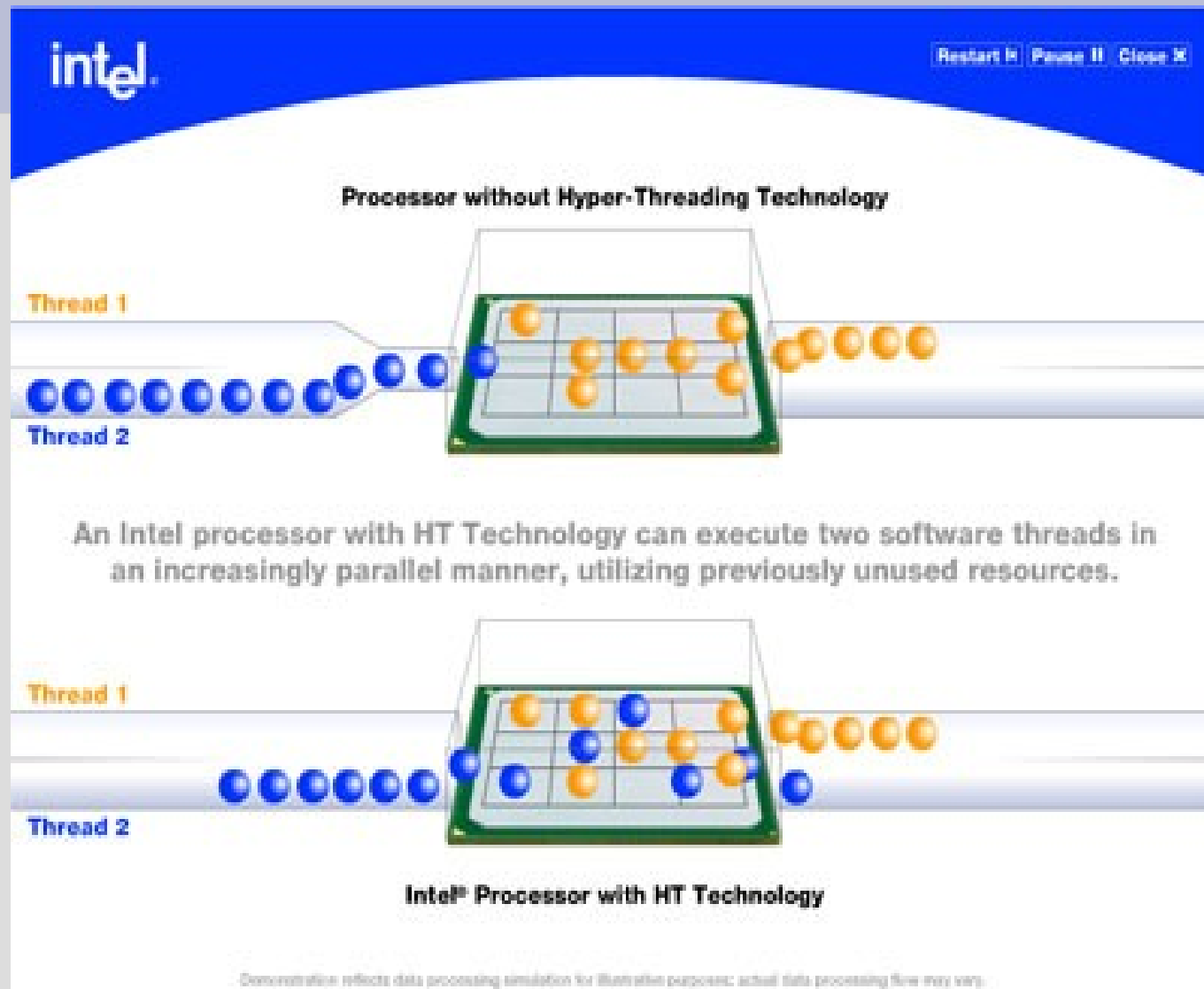
How Hyper-Threading Technology Works



Multi-threading

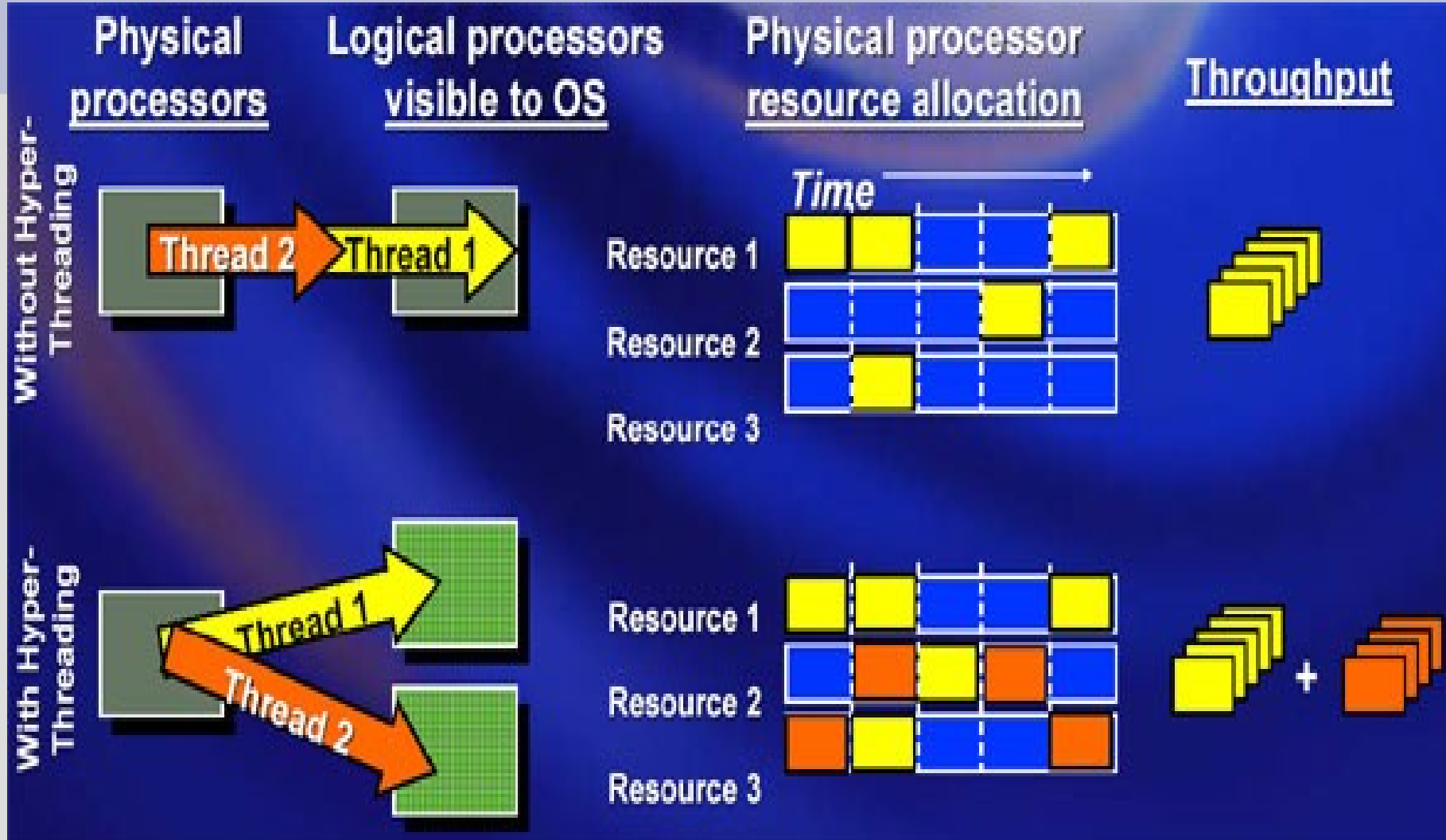
- Avantages de l'hyperthreading :
 - Exécution plus rapide des programmes
 - Obtention de résultats plus rapide ex :
recherche et calculs dans une grande BDD
 - Découpage du code en prévision d'une exécution pseudo-parallèle, simultanéité ;
 - Partage des ressources par de nombreux utilisateurs
 - Optimisation de la capacité de calcul des microprocesseurs mieux exploités

Hyperthreading dans le core i7



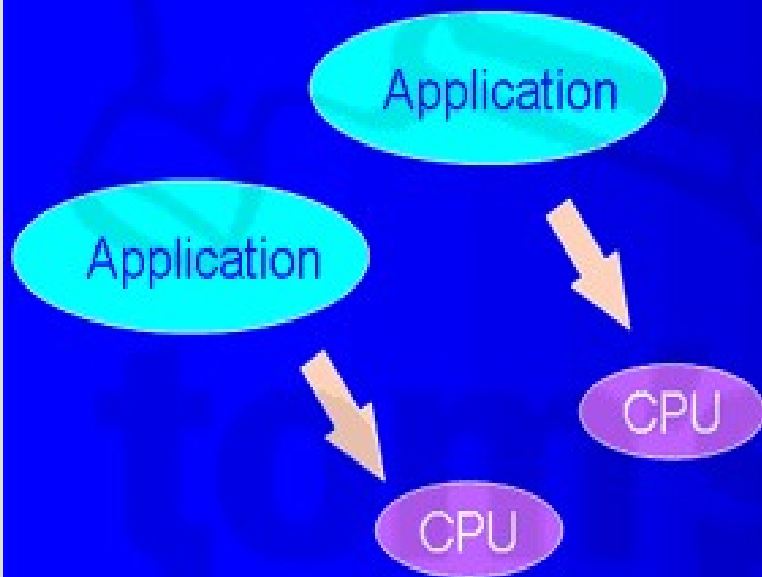
Quelques inconvénients

- Utilisation accrue des mémoires cache (qui ne sont pas extensibles à l'infini)
- Sécurité des codes à ajuster car des programmes malveillants peuvent tourner impunément en arrière-plan
- Codage des threads plus difficile si l'on veut utiliser les fils d'exécution multiples
- Largeur des bus limitée et donc transfert des infos sujet à étranglement
- Consommation d'énergie plus importante

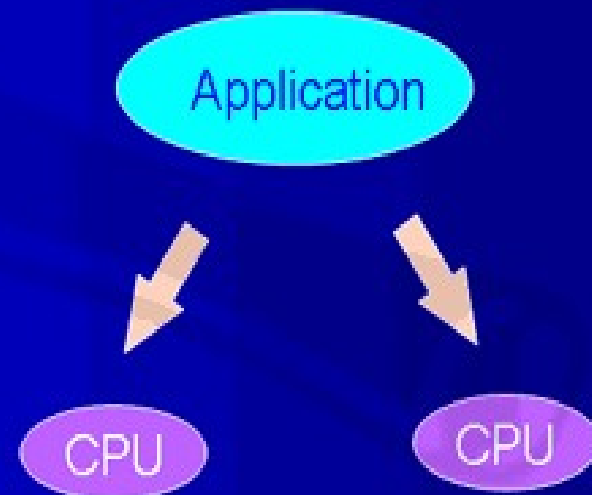


Comparaison multi- processeurs / multi-threads

Multi-Processing vs. Multi-Threaded



*Better Response Times in
Multiple Application
Environments*



*Higher Throughput for
Parallel Applications*

Exercices

Exercice 3 (4 pts) Ordonnancement des tâches/processus

On considère 3 processus P1, P2 et P3 à exécuter dans un OS multi-tâches. Leurs durées respectives en nombre de cycles d'horloge sont données dans le tableau ci-dessous.

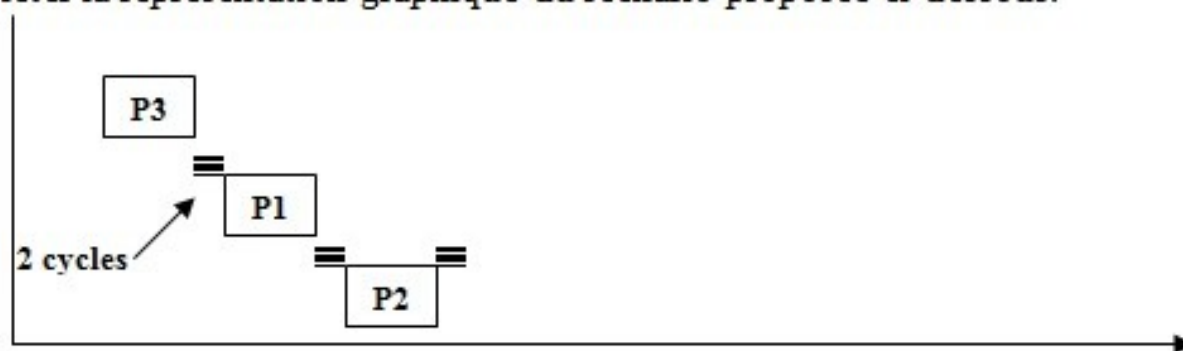
Processus	P1	P2	P3
Durée	30	28	32

3.1)- Les processus sont exécutés alternativement l'un après l'autre, dans l'ordre suivant : P3, P1, P2

-Déterminer la durée totale d'exécution en nombre de cycles.

3.2)- L'OS hôte donne « la main » à chaque processus pendant **10 cycles**. L'ordre d'exécution est le suivant P3, P1, P2. Le basculement d'un processus à un autre prend en moyenne **2** cycles.

-Compléter la représentation graphique du scénario proposée ci-dessous.



3.3)- Calculer la durée totale en nombre de cycles dans le cas de la question 3.2) précédente.

Exercices

Exercice 3 (4 pts) Ordonnancement des tâches/processus

On considère 4 processus P1, P2, P3 et P4 à exécuter dans un OS multi-tâches. Leurs durées respectives en nombre de cycles d'horloge sont données dans le tableau ci-dessous.

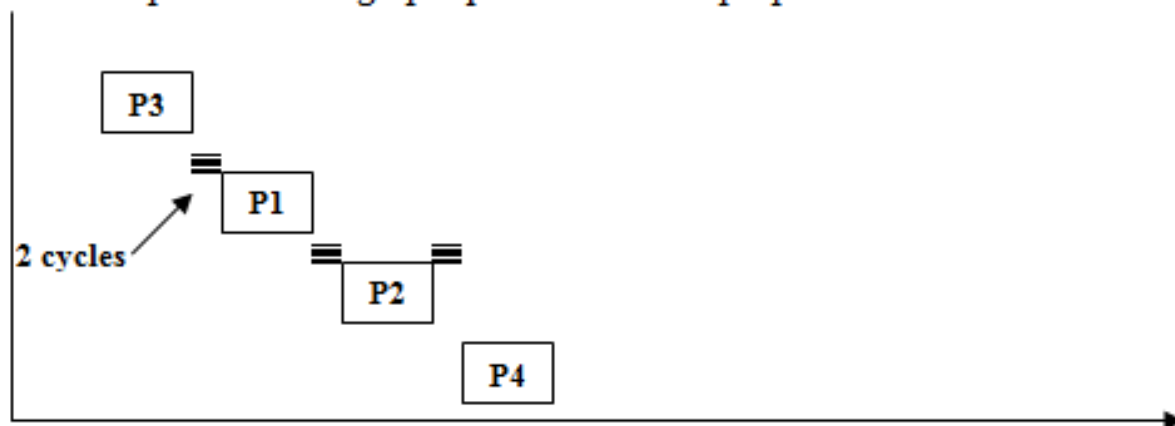
Processus	P1	P2	P3	P4
Durée	34	28	24	32

3.1)- Les processus sont exécutés alternativement l'un après l'autre, dans l'ordre suivant : P3, P1, P2 et P4

-Déterminer la durée totale d'exécution en nombre de cycles.

3.2)- L'OS hôte donne « la main » à chaque processus pendant **8 cycles**. L'ordre d'exécution est le suivant P3, P1, P2 et P4. Le basculement d'un processus à un autre prend en moyenne **2 cycles**.

-Compléter la représentation graphique du scénario proposée ci-dessous.



3.3)- Calculer la durée totale en nombre de cycles dans le cas de la question 3.2) précédente.

Les systèmes de codage

Table 437

Hex No.	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	Ø	►	SP	0	@	P	`	p	Ç	È	á	☒	ℒ	⊥	α	≡	0000
1	☺	◄	!	1	A	Q	a	q	Û	æ	í	☒	⊥	⊥	β	±	0001
2	☹	↑	"	2	B	R	b	r	é	Æ	ó	☒	⊥	⊥	Γ	≥	0010
3	♥	!!	#	3	C	S	c	s	â	ô	ú		⊥	⊥	π	≤	0011
4	♦	↑	\$	4	D	T	d	t	ã	õ	ñ	⊥	⊥	⊥	Σ	∫	0100
5	♣	§	%	5	E	U	e	u	à	ò	Ñ	⊥	⊥	⊥	σ	∫	0101
6	♠	—	&	6	F	V	f	v	â	û	ä	⊥	⊥	⊥	μ	÷	0110
7	•	⊥	'	7	G	W	g	w	ç	ù	Q	⊥	⊥	⊥	τ	≈	0111
8	◼	↑	(	8	H	X	h	x	ê	ÿ	¿	⊥	⊥	⊥	Φ	°	1000
9	◊	↓	)	9	I	Y	i	y	ë	Ö	¬	⊥	⊥	⊥	Θ	•	1001
A	◻	→	*	:	J	Z	j	z	è	Ü	¬	⊥	⊥	⊥	Ω	·	1010
B	♂	—	+	;	K	[	k	{	ÿ	¢	½	⊥	⊥	⊥	δ	√	1011
C	♀	⊥	,	<	L	\	l		ï	£	¼	⊥	⊥	⊥	∞	∞	1100
D	♪	→	—	=	M	]	m	}	ì	¥	í	⊥	⊥	⊥	Φ	²	1101
E	♫	▲	.	>	N	^	n	~	Ä	Pts	<<	⊥	⊥	⊥	€	■	1110
F	☼	▼	/	?	O	_	o	◊	À	f	>>	⊥	⊥	⊥	⊥	SP	1111
	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	Binary No.

Table 850

Hex No.	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	Ø 0	► 16	SP 32	0 48	@ 64	P 80	· 96	p 112	Ç 128	É 144	á 160	■ 176	L 192	ð 208	Ó 224	- 240	0000
1	☺ 1	◄ 17	! 33	1 49	A 65	Q 81	a 97	q 113	û 129	æ 145	í 161	■ 177	⊥ 193	Ð 209	β 225	± 241	0001
2	☹ 2	↑ 18	" 34	2 50	B 66	R 82	b 98	r 114	é 130	Æ 146	ó 162	■ 178	⊥ 194	Ê 210	Ô 226	= 242	0010
3	♥ 3	!! 19	# 35	3 51	C 67	S 83	c 99	s 115	â 131	ô 147	ú 163	 179	⊥ 195	Ë 211	Ò 227	¾ 243	0011
4	♦ 4	¶ 20	\$ 36	4 52	D 68	T 84	d 100	t 116	ä 132	ö 148	ñ 164	⊥ 180	— 196	È 212	ō 228	¶ 244	0100
5	♣ 5	§ 21	% 37	5 53	E 69	U 85	e 101	u 117	à 133	ò 149	Ñ 165	Á 181	⊥ 197	ı 213	Ö 229	§ 245	0101
6	♠ 6	— 22	& 38	6 54	F 70	V 86	f 102	v 118	á 134	û 150	ä 166	Â 182	ā 198	í 214	μ 230	÷ 246	0110
7	• 7	‡ 23	· 39	7 55	G 71	W 87	g 103	w 119	ç 135	ù 151	ø 167	À 183	Ã 199	î 215	þ 231	· 247	0111
8	■ 8	↑ 24	(40	8 56	H 72	X 88	h 104	x 120	ê 136	ÿ 152	¿ 168	© 184	ℒ 200	ÿ 216	þ 232	° 248	1000
9	○ 9	↓ 25	) 41	9 57	I 73	Y 89	i 105	y 121	ë 137	ÿ 153	® 169	≡ 185	≡ 201	┘ 217	Û 233	~ 249	1001
A	◻ 10	→ 26	* 42	: 58	J 74	Z 90	j 106	z 122	è 138	Û 154	¬ 170	 186	≡ 202	┘ 218	Û 234	· 250	1010
B	♂ 11	← 27	+ 43	: 59	K 75	[91	k 107	{ 123	ÿ 139	ø 155	½ 171	≡ 187	≡ 203	■ 219	Û 235	1 251	1011
C	♀ 12	⊥ 28	, 44	< 60	L 76	\ 92	l 108	 124	ï 140	£ 156	¼ 172	≡ 188	≡ 204	■ 220	ý 236	3 252	1100
D	♪ 13	→ 29	— 45	= 61	M 77	] 93	m 109	} 125	ì 141	Ø 157	ı 173	¢ 189	≡ 205	 221	ÿ 237	2 253	1101
E	♪ 14	▲ 30	. 46	> 62	N 78	^ 94	n 110	~ 126	Ä 142	x 158	« 174	¥ 190	≡ 206	ı 222	~ 238	■ 254	1110
F	☼ 15	▼ 31	/ 47	? 63	O 79	_ 95	o 111	◊ 127	Å 143	f 159	» 175	⌒ 191	⊗ 207	■ 223	· 239	SP 255	1111
	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	Binary No.

Carte graphique

La **carte graphique** (en anglais *graphic adapter*), est chargée d'envoyer les données graphiques vers un **périphérique d'affichage**.

Ses fonctions:

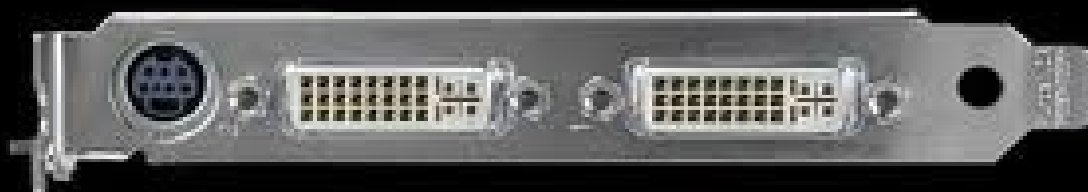
- déplacement des blocs de dessins, objets graphiques divers
- tracé de lignes et de figures(polygones par ex.)



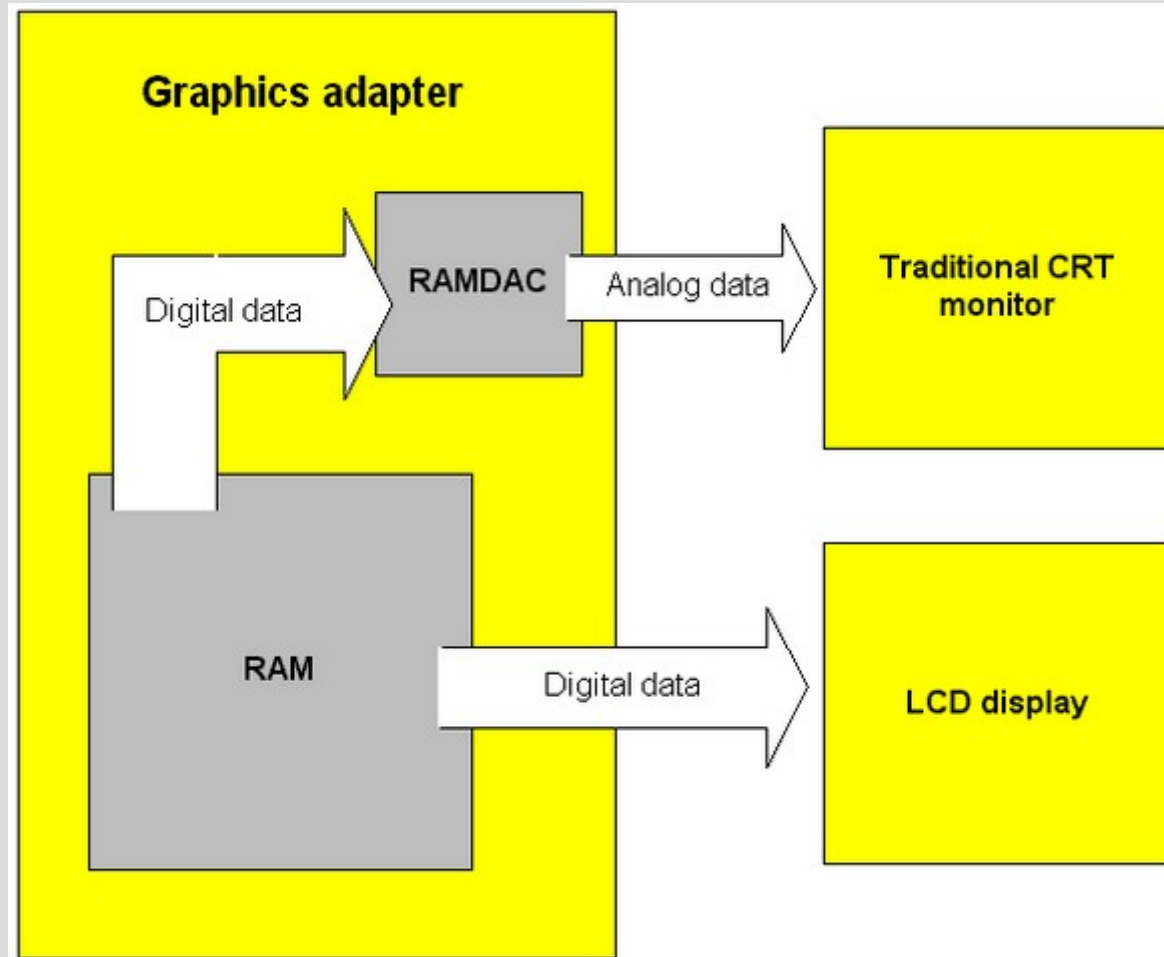
1024MB
DDR2

HDMI
DVI

PCI-E
16x



Structure d'une carte graphique



Caractéristiques

L'interface : type de **bus** utilisé pour connecter la carte graphique à la carte-mère. Le port **AGP** est ainsi spécialement prévu pour accepter des débits importants de données, nécessaire pour l'affichage de séquences vidéo ou 3D.

La connectique : Les cartes graphiques sont généralement équipées

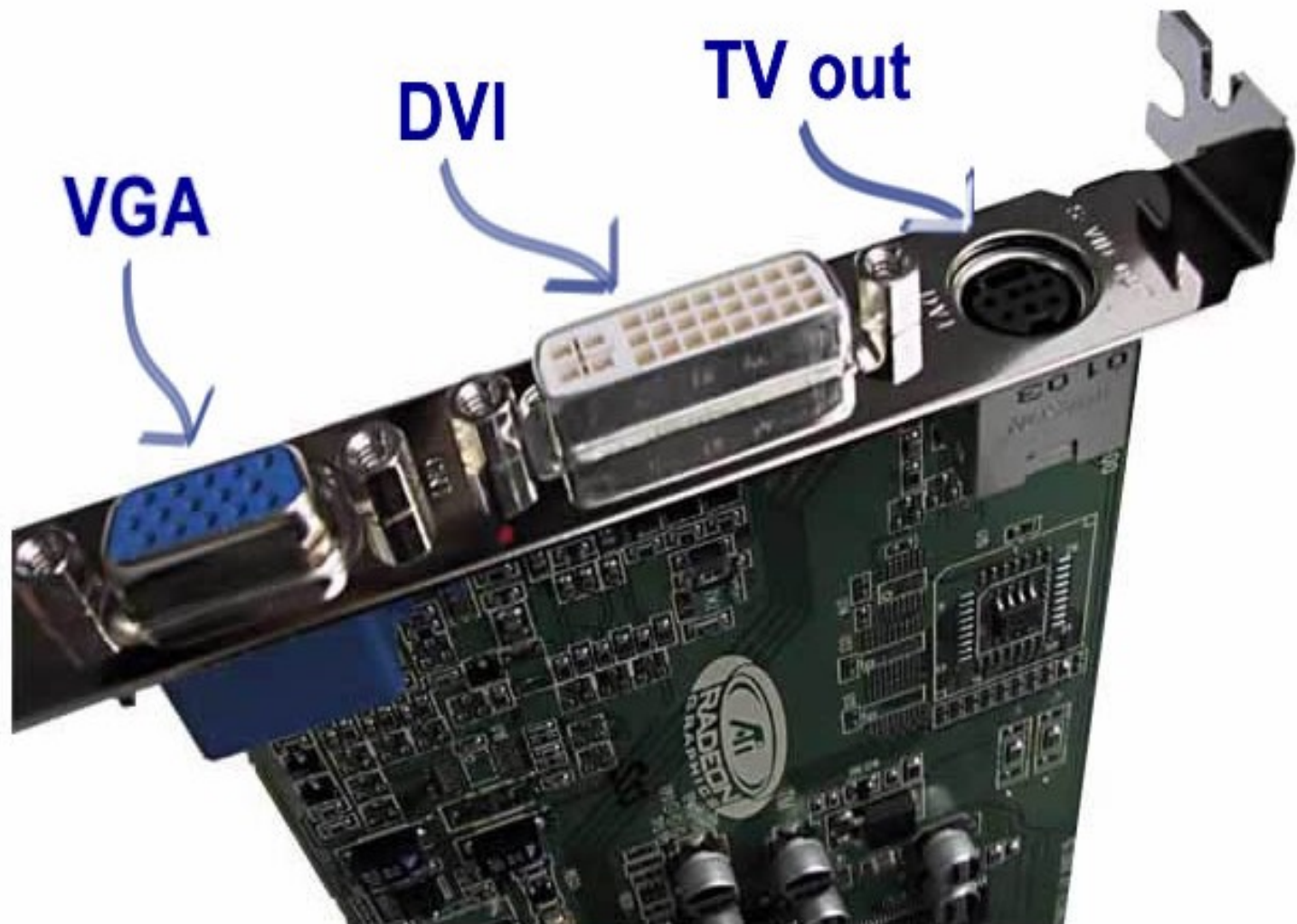
- connecteur VGA** 15 broches (3 séries de 5 broches), généralement de couleur bleue,

- L'interface **DVI** (*Digital Video Interface*), permet d'envoyer directement des données numériques aux écrans le supportant, ce qui permet d'une part d'augmenter la *qualité de l'affichage* ainsi que d'éviter la conversion numérique-analogique des données.

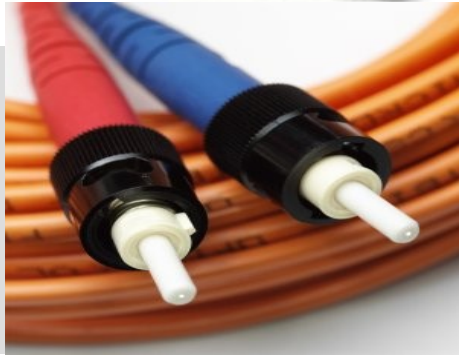
- prise **S-Video** permettant d'afficher sur une télévision, c'est la raison pour laquelle elle est souvent appelée *prise télé*.

- HDMI** donne un affichage direct des données numériques sans conversion

Connecteurs d'une CG

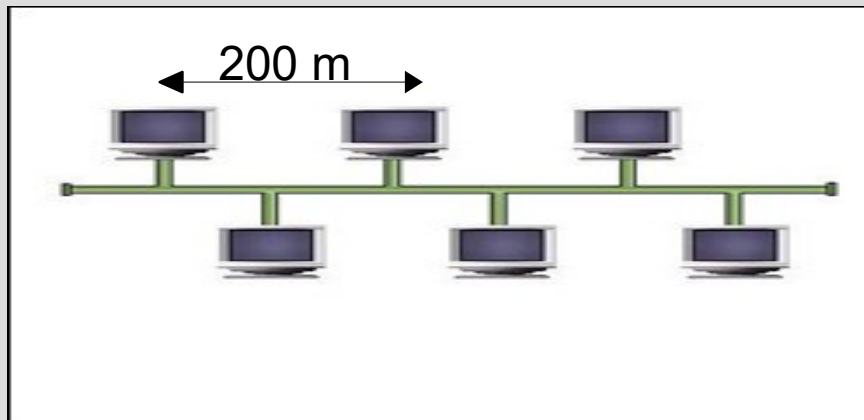


Matériel des réseaux



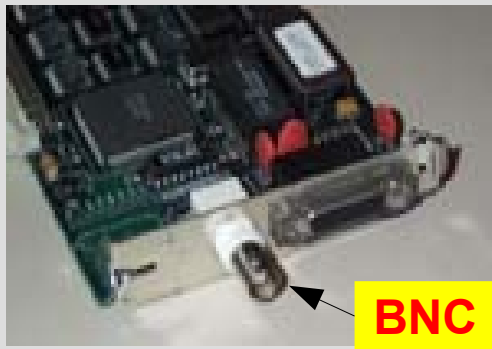
Topologies classiques

Topologie Bus Ethernet(coax fin)



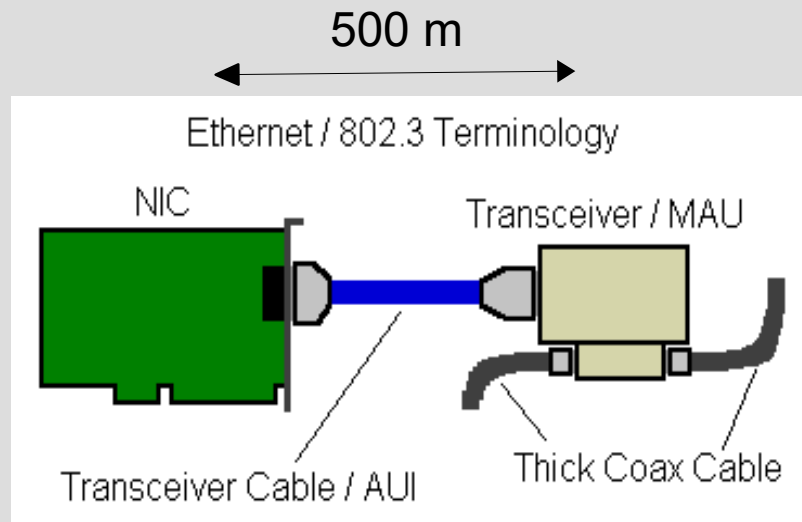
Matériel

- Câble coaxial **fin** (10 Base 2) « thin Ethernet »
- Connecteur en « T »
- Bouchon (Terminateur)
- Carte réseau avec connecteur BNC



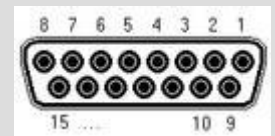
Topologies classiques

Topologie Bus Ethernet(coax épais)



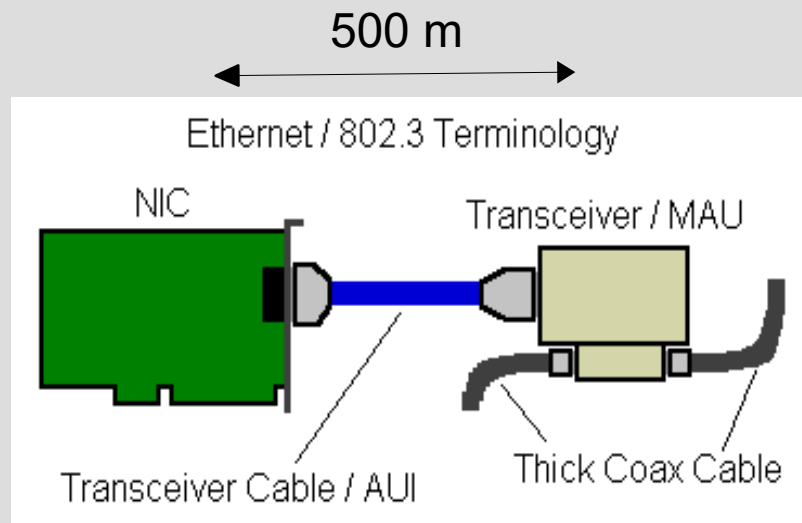
Matériel

- Câble coaxial **épais**(10 Base 5)
« thick Ethernet »
- Tranceiver
- Carte réseau avec connecteur AUI (15 broches)
- Débit maximal : 10 Mbps



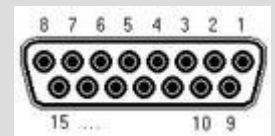
Topologies classiques

Topologie Bus Ethernet(coax épais)



Matériel

- Câble coaxial **épais**(10 Base 5)
« thick Ethernet »
- Tranceiver
- Carte réseau avec connecteur AUI
(15 broches)
- Débit maximal : 10 Mbps

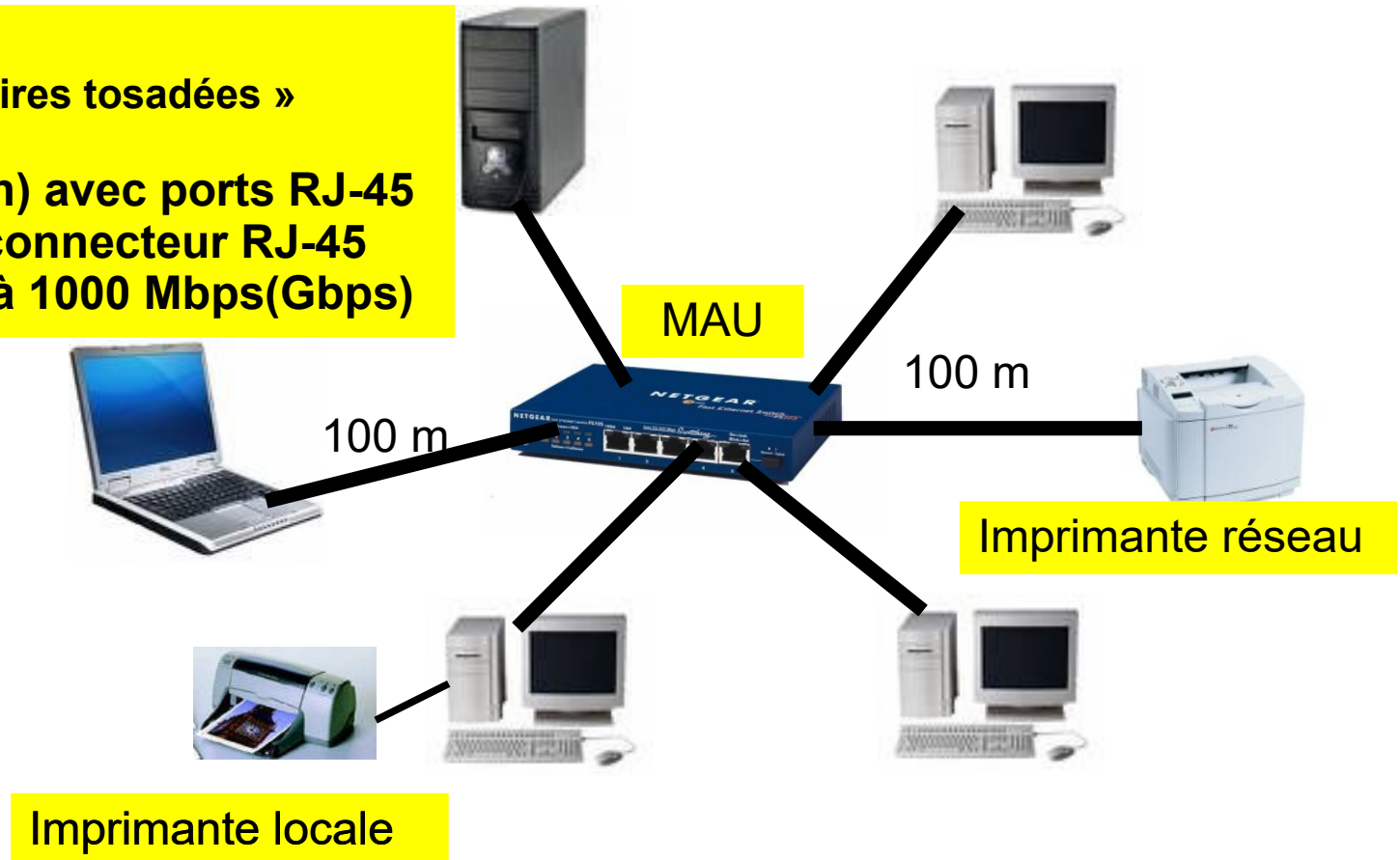


Topologies classiques

Topologie Etoile (la plus répandue)

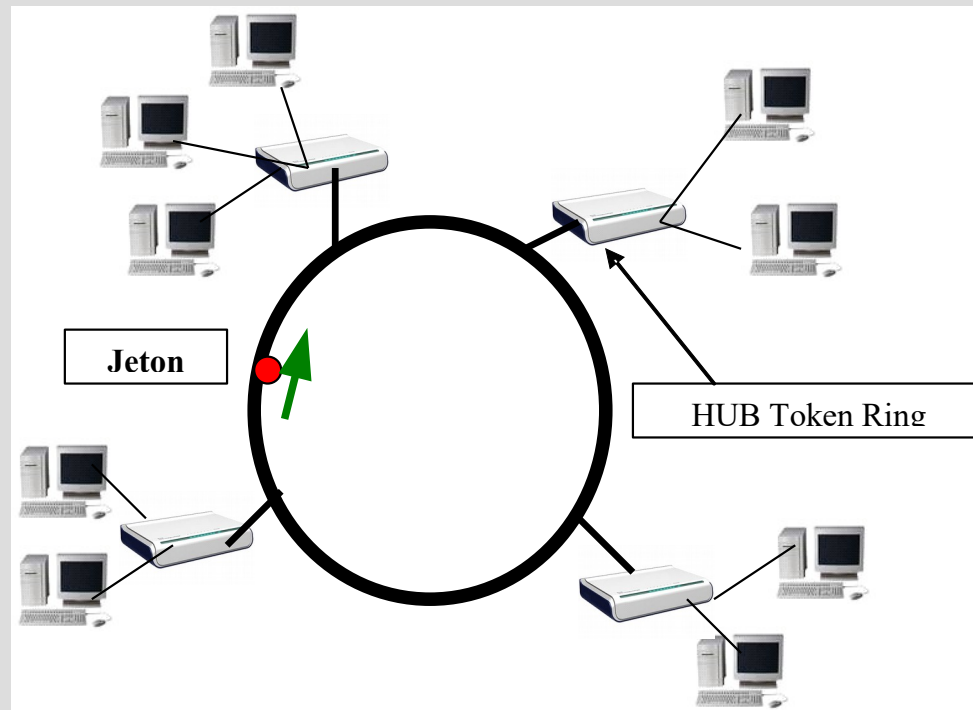
Matériel

- Câble UTP/STP « paires torsadées » (Twisted Pairs)
- MAU (hub ou switch) avec ports RJ-45
- Carte réseau avec connecteur RJ-45
- Débit maximal : 10 à 1000 Mbps(Gbps)

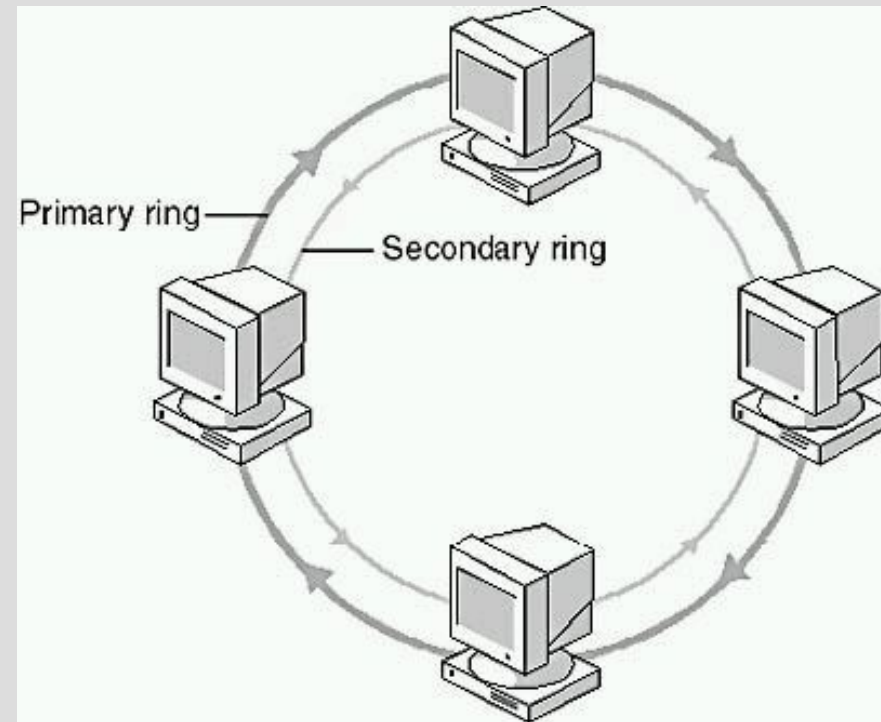


Topologies classiques

Topologie Anneau à jeton (Token Ring)

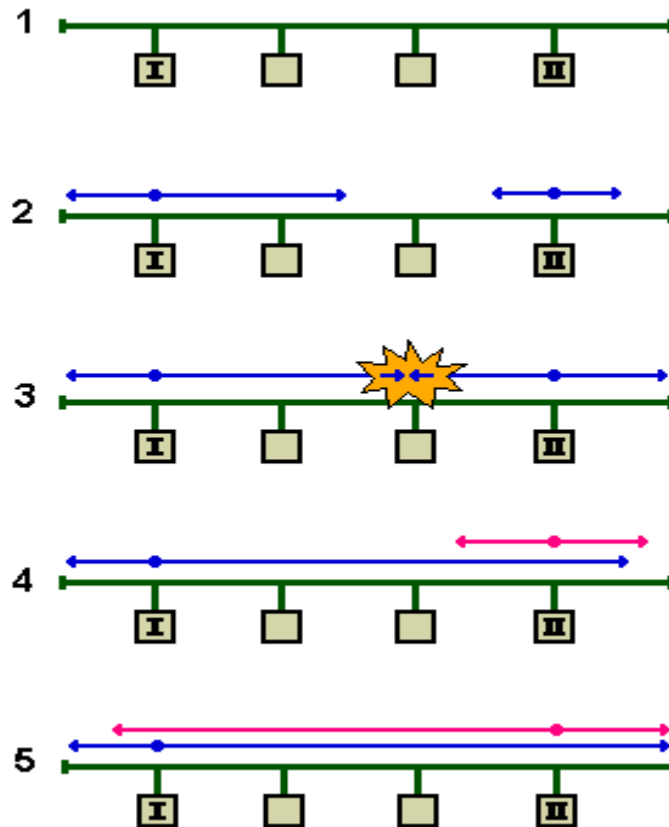


Token Ring
(petit anneau)



FDDI

Le CSMA/CD



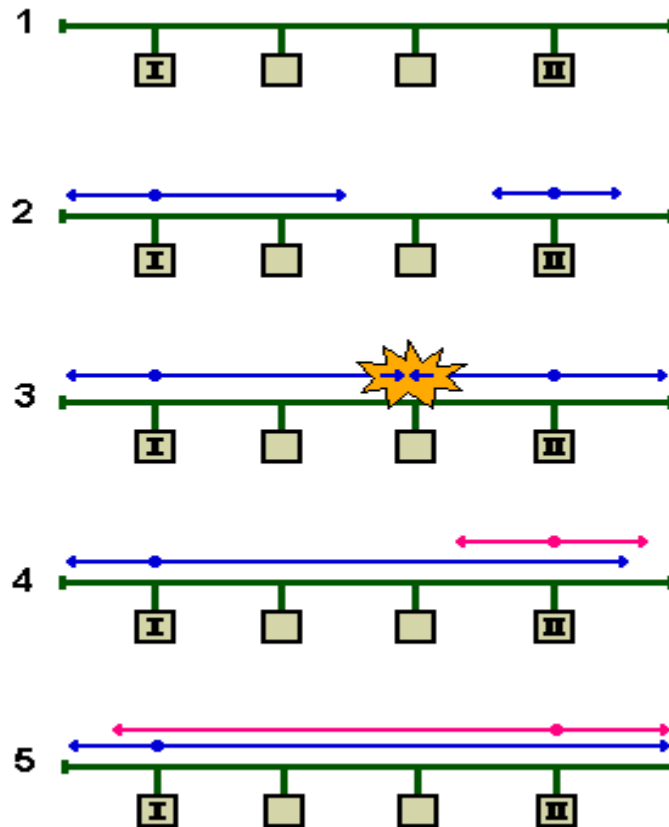
Principe :

une station désirant émettre envoie un signal, la porteuse, dans le bus logique et se met en écoute.

-en cas de collision, observe un temps de patience et ré-émet.

-si pas de collision, transmet son message

Le CSMA/CD



Principe :

une station désirant émettre envoie un signal, la porteuse, dans le bus logique et se met en écoute.

-en cas de collision, observe un temps de patience et ré-émet.

-si pas de collision, transmet son message

Principe du Token Ring

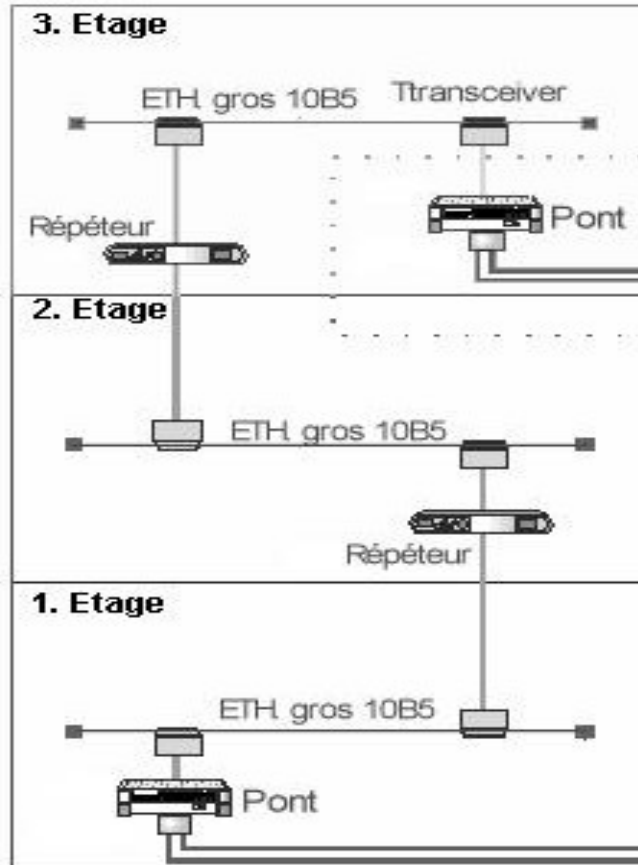
- Un jeton (token) circule dans l'anneau de poste à poste. Une station souhaitant émettre doit attendre de disposer du jeton.
- Dès qu'elle l'a, elle y met son message et le libère. Le jeton continue sa course de poste en poste jusqu'au destinataire. Ce dernier effectue une copie du message et le marque « lu » puis laisse le jeton continuer.
- L'avantage de cette méthode est qu'aucun poste ne reste dans une attente infinie « starvation » (mort de faim). Chaque poste reçoit le jeton au bout d'un tour de l'anneau. Cette méthode a permis pour la 1ère fois d'atteindre **16 Mbps** à l'époque où le maximum était à **10 Mbps**.

Répéteurs, Pont et routeurs

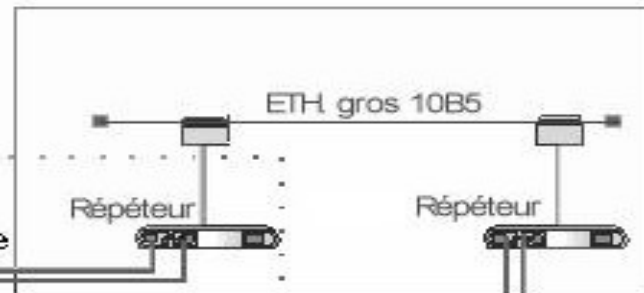
- Pont (niveau physique)
 - sépare deux segments du même réseau logique
- Répéteur (niveau liaison)
 - Permet l'amplification des signaux du même réseau logique
- Routeur (niveau réseau)
 - Interconnecte des réseaux d'identificateurs différents
- Passerelle == Routeur (niveau Application)

Synthèse Ethernet

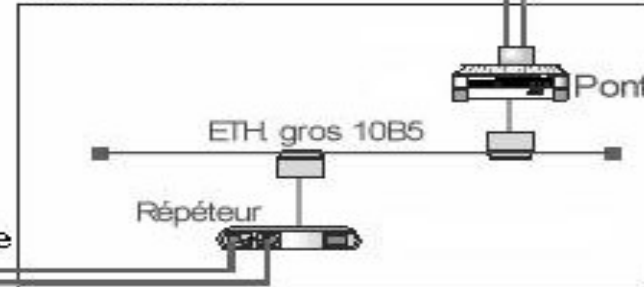
Bâtiment 1



Bâtiment 2



Bâtiment 3



Désactivé après
Spanning Tree
Câble fibre optique

max. 2 km

Câble fibre optique

max. 2 km

Fibre optique

Règle des 5-4-3

Un réseau ETHERNET FIN ne doit comporter

- **5 segments** de câbles au plus reliés par
- **4 répéteurs**, mais
- **3 segments** seulement peuvent héberger des stations, c'est la règle des 5-4-3.
- Deux segments doivent donc rester inexploités, ils servent de liaisons inter-répéteurs et permettent d'augmenter la longueur totale du réseau. L'IEEE 802.3 recommande un maximum de 30 nœuds (ordinateurs, répéteurs,...) par segment, et un maximum de 1024 ordinateurs pour la totalité d'un réseau.

Optimisation du câblage

- Soit à optimiser l'inter-connexion des 6 sites suivants où les valeurs représentent les **coûts** de connexion :

	A	B	C	D	E	F
A		3		1	3	
B			3	2		
C				1		3
D					2	1
E						2
F						

Algorithme de KRUSKAL

- Lister l'ensemble des arcs
- Trier par ordre croissant
- Construire le graphe optimal en puisant dans la liste triée en rejetant les arcs qui forment un « cycle »
- S'arrêter à **$n-1$ arcs** placés où n =nombre de sommets ou **si tous les sommets** sont connectés.

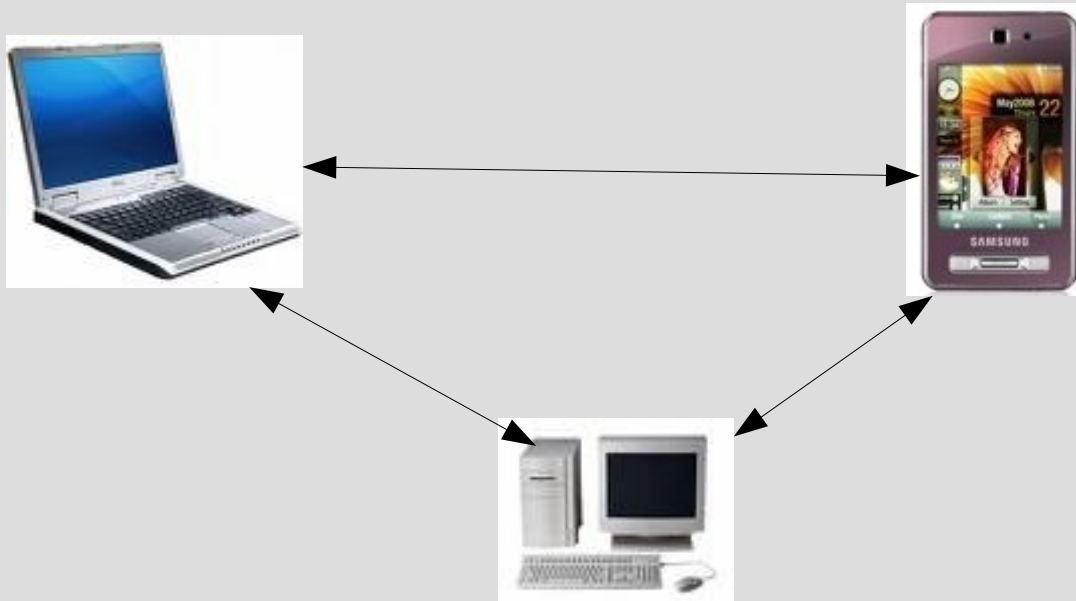
Matériel



RESEAUX SANS FIL

Topologies

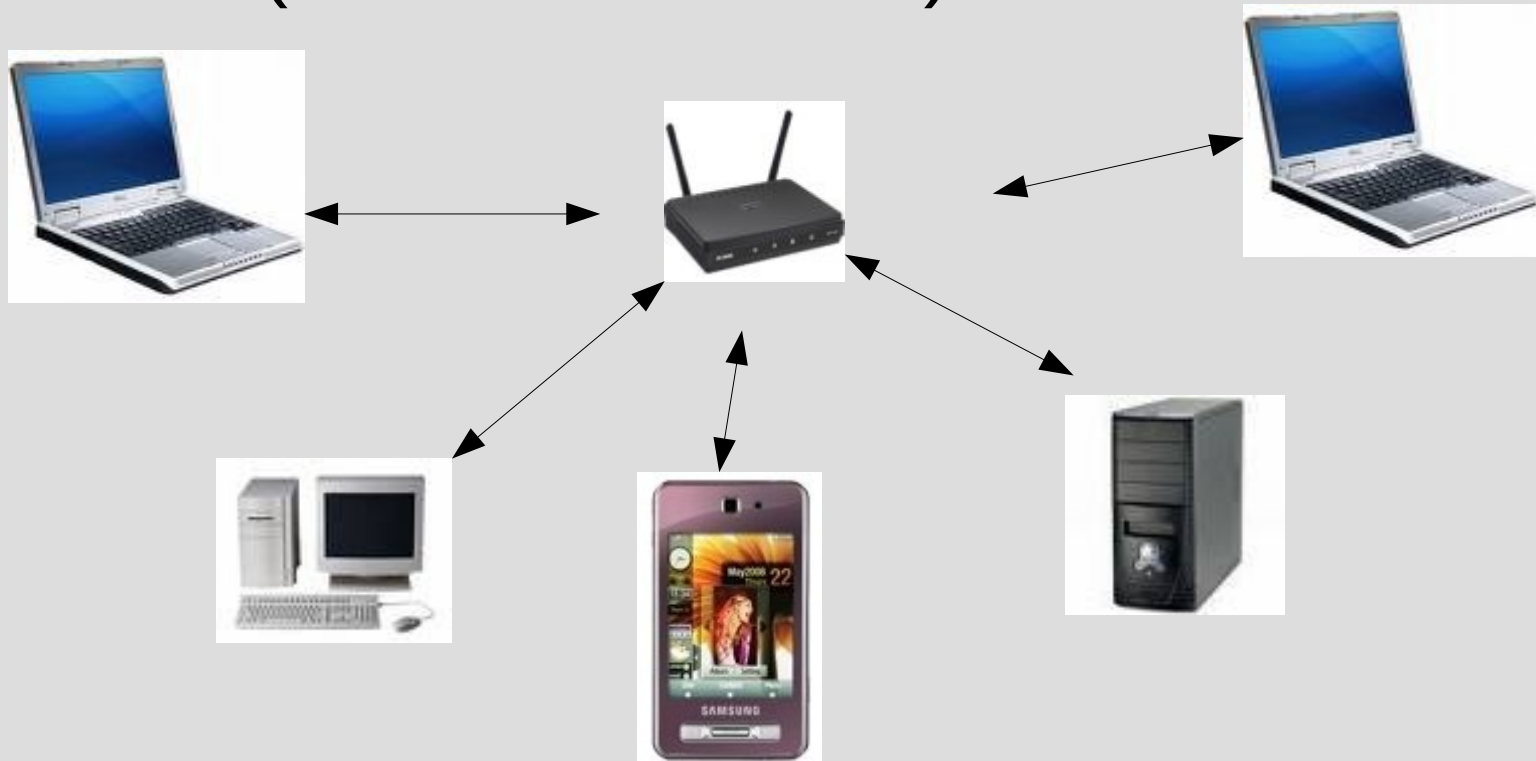
- Mode Poste à Poste (Ad-hoc)



RESEAUX SANS FIL

Topologies

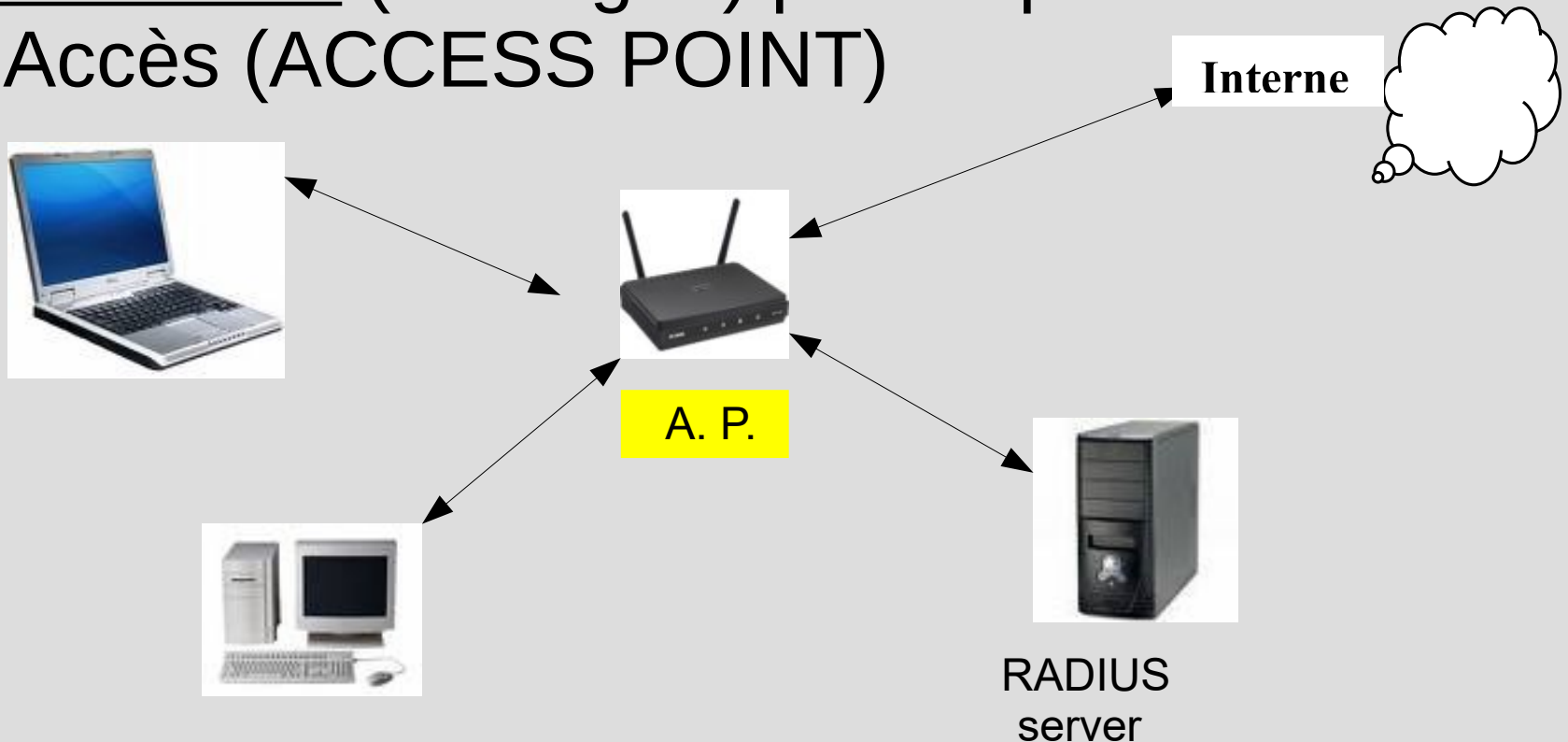
- Mode Géré (Managed) par un point d'Accès (ACCESS POINT)



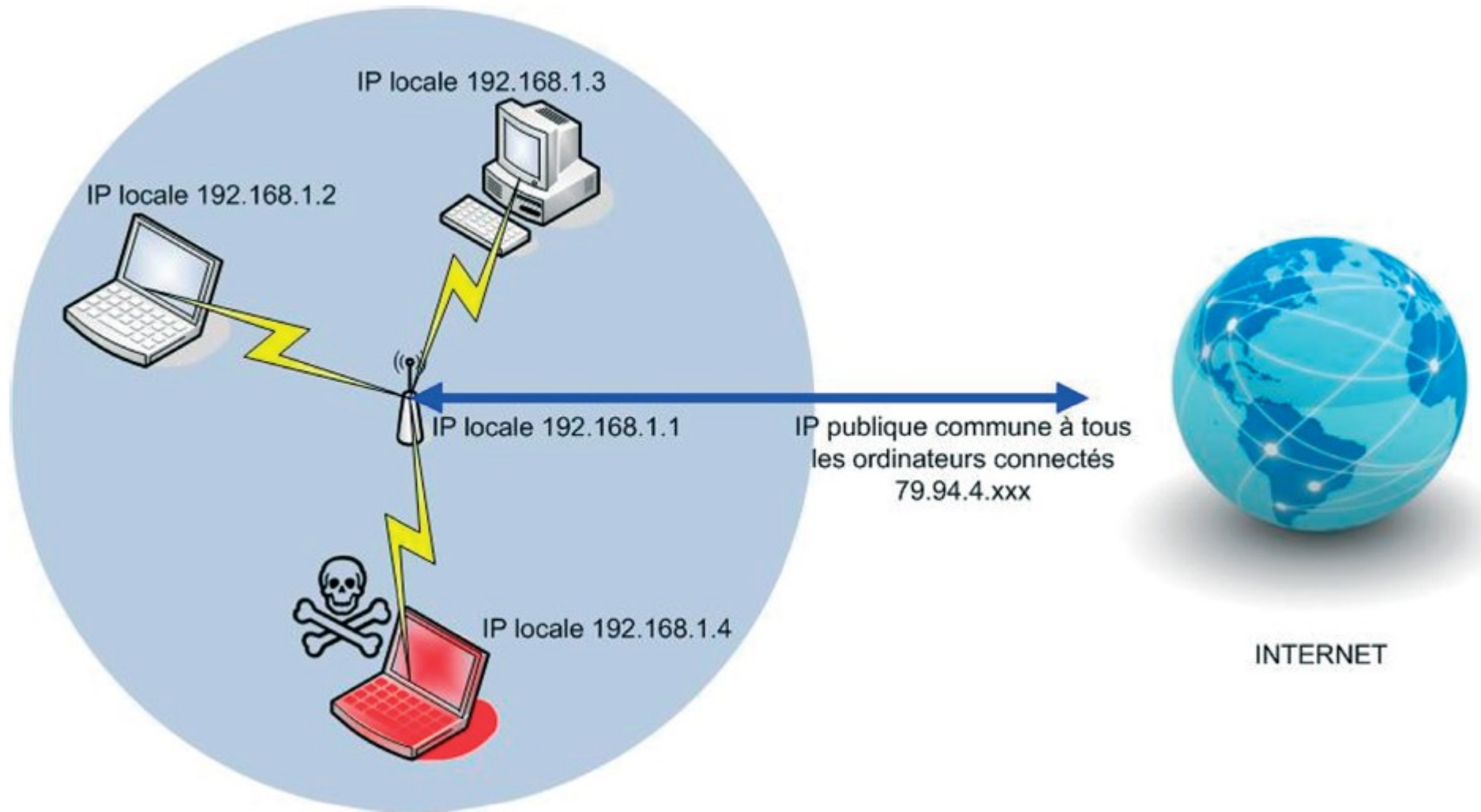
RESEAUX SANS FIL

Topologies

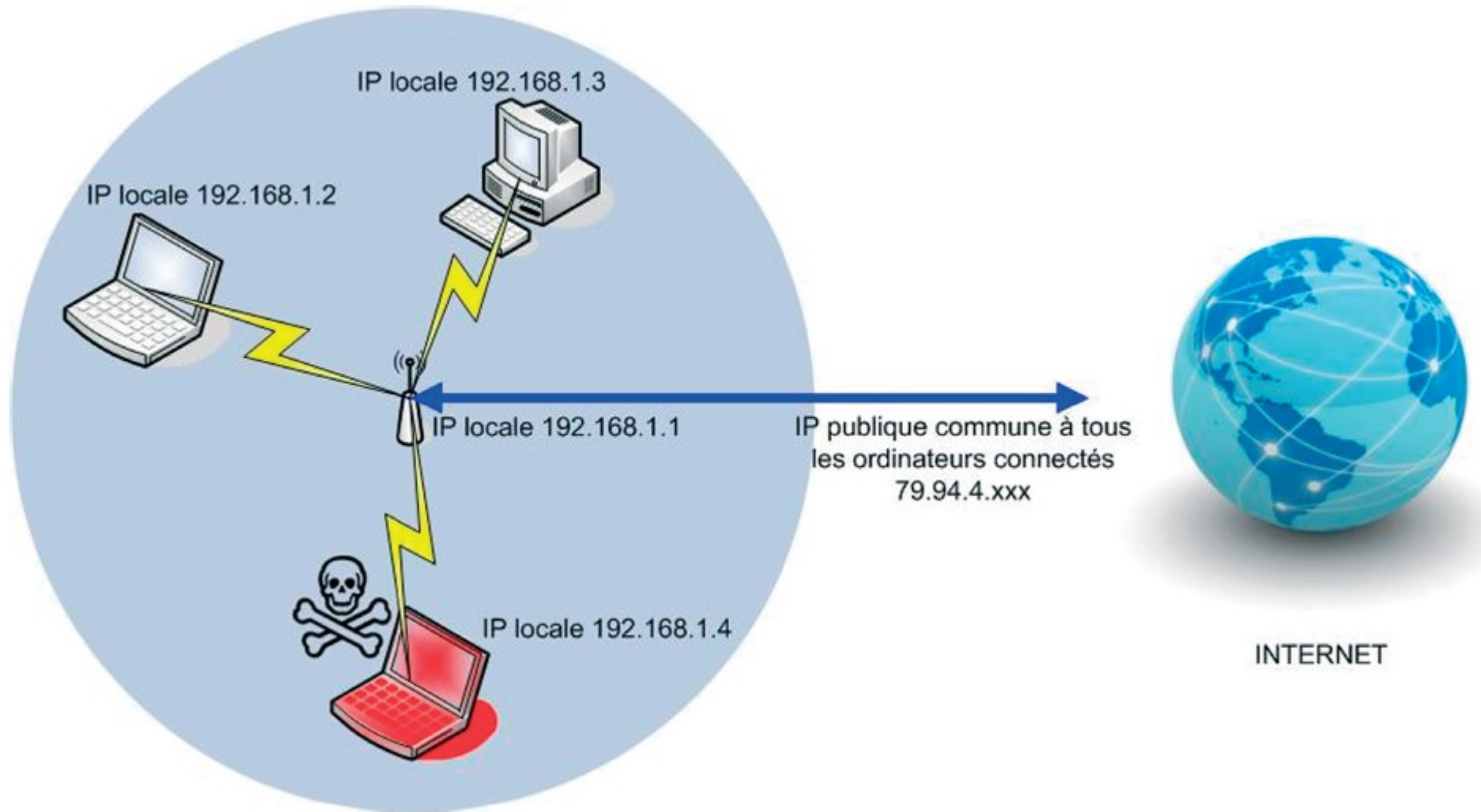
- Mode Géré (Managed) par un point d'Accès (ACCESS POINT)



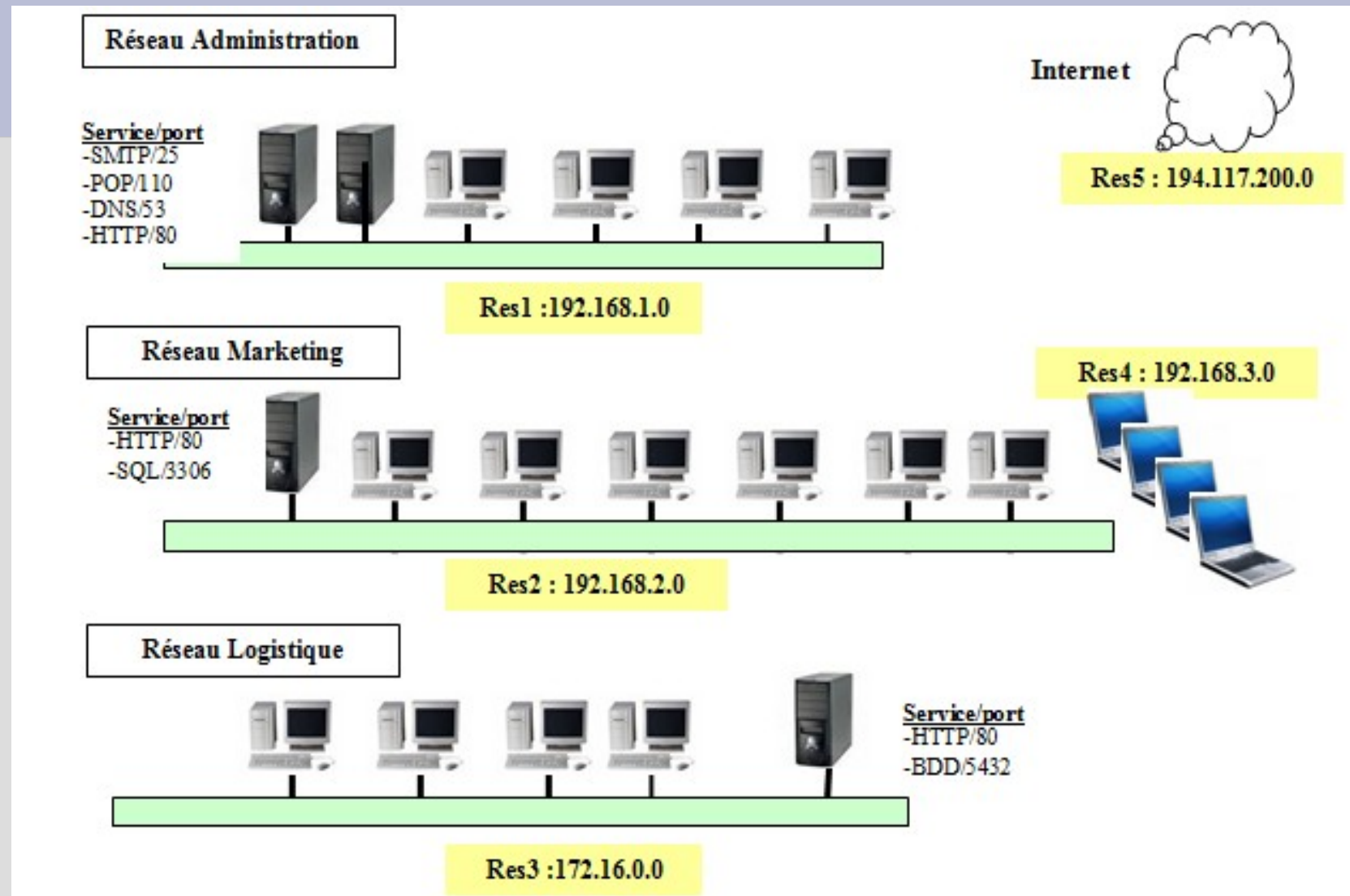
Wi-Fi ouvert à la planète



Wi-Fi ouvert à la planète



Un architecture de réseau d'Entreprise



Quelques avantages du Wi-Fi

1-Réduction de l'encombrement

- **suppression des câbles.** Ils ne seront plus apparents dans votre maison ou dans les entreprises et permet de mettre en réseau un ordinateur distant d'un autre (différence d'étage par exemple).

2-Disponibilité des informations

-possibilité **de rendre l'information disponible partout, rapidement et sans contraintes.** Ainsi cette mobilité, qui était encore inimaginable il y a quelques années est à l'heure actuelle tout à fait réelle.

Aujourd'hui, il est possible de regarder sa BAL, d'envoyer des pièces jointes, de faire de la visioconférence, de jouer ou simplement de surfer sur le net, depuis un **hot spot**

Normes en vigueur

Le **wi-fi** c'est une solution de sans-fil comprenant plusieurs normes

- La première et la plus répandue des normes est la norme **802.11b**. Elle dispose d'un débit théorique de 11Mbit/s et peut atteindre 22Mbit/s.

Apparue en 1999, elle fonctionne à la fréquence de **2,4 GHz** et dispose d'un rayon d'action de 100 mètres à ciel ouvert.

- La seconde est la norme **802.11g**. En phase d'être standardisée par l'Institute of Electrical and Electronic Engineers (IEEE), elle fonctionne à la même fréquence que la première et peut atteindre une vitesse de **54 Mbit/s** tout en restant compatible avec celle-ci.

- La dernière norme est la norme **802.11a**. Elle permet d'atteindre la même vitesse que la deuxième mais fonctionne avec la bande de fréquence **5GHz** et n'est pas compatible avec les deux autres. A noter toutefois que les fabricants commercialisent des produits Wi-Fi **bi-mode 802.11a/b**.

Normes en vigueur

Le wi-fi c'est une solution de sans-fil comprenant plusieurs normes

- La première et la plus répandue des normes est la norme **802.11b**. Elle dispose d'un débit théorique de 11Mbit/s et peut atteindre 22Mbit/s. Apparue en 1999, elle fonctionne à la fréquence de 2,4 GHz et dispose d'un rayon d'action de 100 mètres à ciel ouvert.

- La seconde est la norme **802.11g**. En phase d'être standardisée par l'Institute of Electrical and Electronic Engineers (IEEE), elle fonctionne à la même fréquence que la première et peut atteindre une vitesse de 54 Mbit/s tout en restant compatible avec celle-ci.

- La dernière norme est la norme **802.11a**. Elle permet d'atteindre la même vitesse que la deuxième mais fonctionne avec la bande de fréquence 5GHz et n'est pas compatible avec les deux autres. A noter toutefois que les fabricants commercialisent des produits Wi-Fi bi-mode 802.11a/b.

SECURITE DES RESEAUX SANS FIL

